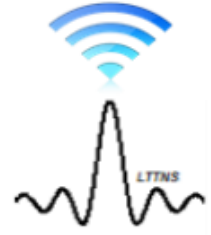




République Algérienne Démocratique et Populaire
Ministère de l'enseignement supérieur
Et de la recherche scientifique



THESE DE DOCTORAT

Présentée devant L'université Djillali Liabes de Sidi-Bel-Abbes

Faculté de Génie Electrique
Département d'Electronique

Pour l'obtention du Diplôme de Doctorat en Sciences

Spécialité : Electronique

Par

Mr. Ogbi Menouar

**Laboratoire : Télécommunications et de Traitement Numérique
du Signal**

Titre de la thèse :

**Implantation d'applications Radio Logicielles sur
architectures reconfigurables pour les systèmes multi-
porteuses et multi-antennes**

Soutenu le : Juillet 2021

Devant le jury composé de :

Président	Mr. Mahdjoub Zoubir	Prof	UDL-SBA
Examineurs	Mr. Mokkaedem Allel	Prof	C.U -El Bayedh
	Mr. Mansouri Boualem	MCA	U-Saida
Directeur de thèse	Mr. Bouziani Merahi	Prof	UDL-SBA

Année Universitaire : 2020-2021

Remerciements

Je tiens tout d'abord à remercier Monsieur Bouziani Merahi pour m'avoir proposé ce sujet de thèse et pour les conseils, le soutien dont il m'a fait bénéficier durant ce travail, ainsi que la relecture orthographique intégrale de ce manuscrit. Je tiens à remercier Monsieur Djebbari Ali, responsable du laboratoire télécommunications et de traitement numérique du signal (LTTNS) à université de Sidi Bel Abbas, m'a très bien accueillie dans son équipe de recherche et la confiance qu'il a su m'accorder et son implication tout au long de cette thèse.

Je tiens à remercier l'ensemble des membres de mon jury avoir accepté de juger et évaluer ces travaux de thèse. Je remercie tout particulièrement Monsieur Mahdjoub Zoubir qui a accepté d'être les rapporteurs de cette thèse. Je remercie également Monsieur Mokkadem Allel et Mansouri Boualem pour avoir accepté d'être membre de ce jury.

Ces remerciements s'adressent également à ma famille et mes amis qui m'ont supporté, encouragé durant ces dernières années de thèse

Résumé

La radio logicielle se base sur des architectures de traitement ayant une forte puissance de calcul et nécessitant l'implication de structures à multiples unités de calcul. Les contraintes architecturales sont par conséquent très importantes et l'utilisation de composants de natures différentes est souvent indispensable. La conception à l'échelle d'un équipement radio logicielle requiert l'utilisation de techniques et méthodes très variées dans les systèmes de communication. Des approches de conception de haut niveau sont donc à étudier. Mais c'est toute une méthodologie de conception qu'il faut envisager en ajoutant au traitement du signal radio proprement dit une véritable architecture de gestion de la reconfiguration. Elle doit notamment gérer des cibles technologiques d'une très grande hétérogénéité.

Ces architectures peuvent regrouper en effet des composants aussi variés que des processeurs (microcontrôleurs ou processeurs généraux), des DSP, des FPGAs, des ASICs numériques paramétrables, des ASICs analogiques, des mémoires et des moyens de communication (bus, fifo...).

Le principal objectif de la présente thèse est d'étudier les techniques de traitement du signal dans les systèmes multi-antennes et multi-porteuses et de proposer des solutions quant à leur implémentations tout en optimisant le temps de calcul et de traitement.

Mots clés : architecture reconfigurable, radio-logicielle, MIMO, OFDM, MC-CDMA, wireless communications, FPGA, DSP, ASIC.

Abstract

The software radio is based on processing architectures having a high computing power and requiring the involvement of structures with multiple computing units. Architectural constraints are therefore very important and the use of components of different natures is often essential. Scalable design of software radio equipment requires the use of a variety of techniques and methods in communication systems. High-level design approaches are therefore to be studied. But it is a whole design methodology that must be considered by adding to the processing of the actual radio signal true management architecture of the reconfiguration. In particular, it must manage technological targets of great heterogeneity.

These architectures can indeed include components as varied as processors (microcontrollers or general processors), DSPs, FPGAs, parametric digital ASICs, analog ASICs, memories and means of communication (bus, fifo ...).

The main objective of this thesis is to study signal processing techniques in multi-antenna and multi-carrier systems and to propose solutions for their implementation while optimizing the computing and processing time.

Keywords: Reconfigurable architecture, radio-software, MIMO, OFDM, MC-CDMA, wireless communications, FPGA, DSP, ASIC.

ملخص

يعتمد الراديو المعرّف بالبرمجيات على بنى معالجة ذات قدرة حوسبية عالية وتتطلب مشاركة الهياكل مع وحدات حوسبة متعددة. لذلك فإن القيود المعمارية مهمة للغاية وغالبًا ما يكون استخدام مكونات من طبائع مختلفة ضروريًا. يتطلب تصميم مقياس المعدات الراديوية المعرفة بالبرمجيات استخدام مجموعة متنوعة من التقنيات والأساليب في أنظمة الاتصالات. لذلك يجب دراسة مناهج التصميم عالية المستوى. لكنها منهجية تصميم كاملة يجب أخذها في الاعتبار من خلال إضافة بنية حقيقية لإدارة إعادة التكوين إلى معالجة الإشارة الراديوية. على وجه الخصوص ، يجب أن تدير أهدافًا تكنولوجية غير متجانسة للغاية.

يمكن لهذه البنى في الواقع أن تجمع بين المكونات المتنوعة مثل المعالجات (المتحكمات الدقيقة أو المعالجات العامة) ، DSPs ، FPGAs ، ASICs الرقمية القابلة للتكوين ، ASICs التناظرية ، الذكريات ووسائل الاتصال (ناقل ، فيفو ، إلخ). الهدف الرئيسي من هذه الأطروحة هو دراسة تقنيات معالجة الإشارات في الأنظمة متعددة الهوائيات والمتعددة الحاملة واقتراح حلول لتنفيذها مع تحسين وقت الحساب والمعالجة.

الكلمات الرئيسية:

MIMO ، OFDM ، MC-CDMA هندسة قابلة لإعادة التشكيل ، راديو برمجيات ،
FPGA ، اتصالات لاسلكية ،

Table des matières

Remerciement	ii
Résumé	iii
Abstract	iv
ملخص	v
Table des matières	vi
Table des figures	ix
Liste des tableaux	xi
Liste des acronymes et abréviations	xii
1 Introduction	1
1.1 Introduction	1
1.2 Problématique de l'étude	5
1.3 L'objectif de l'étude	5
1.5 Plan du mémoire	6
Bibliographie	8
2 Généralité sur systèmes MIMO-OFDM	10
2.1 Introduction	11
2.2 La chaîne d'émission-réception	11
2.3 Présentation de la modulation à multi-porteuse (OFDM)	12
2.3.1 Orthogonalité	12
2.3.2 Schéma de modulateur OFDM	13
2.3.3 Intervalle de garde	13
2.3.4 Avantages et inconvénients de l'OFDM	14
2.4 Système MIMO	15
2.4.1 Présentation de canal MIMO	15
2.4.2 Capacité du canal MIMO	16
2.4.3 Transmission de systèmes MIMO	17
2.4.3.1 MIMO à base de codes spatio-temporels	17
2.4.3.2 MIMO à base de multiplexage spatial	19
2.4.4 Algorithmes de détection pour récepteur MIMO	19
2.4.4.1 Détection de signal ZF	20

2.4.4.2	Détection de signal MMSE	20
2.4.4.3	Détection de signal ML	20
2.4.4.4	Détection de signal SD	21
2.4.4.5	détecteur BLAST	21
2.4.5	Comparaison des algorithmes en terme de performance	21
2.5	Association MIMO-OFDM	22
2.5.1	Schéma block d'un système MIMO –OFDM	22
2.5.2	Performances du système MIMO-OFDM.	23
2.6	Conclusion.	24
	Bibliographie	25
3	Description de l'Architectures Reconfigurables	28
3.1	Introduction	28
3.2	L'évolutions des circuits programmables	29
3.3	Présentation et architecture des FPGA.	32
3.3.1	Les blocs logiques configurables (CLB)	33
3.3.2	Les blocs d'E/S configurables (IOB)	34
3.3.3	Les interconnexions programmables	34
3.4	Les architectures reconfigurables	35
3.4.1	Caractéristiques des architectures reconfigurables.	36
3.4.2	Classification des architectures reconfigurables	38
3.4.2.1	Architectures reconfigurables à gros grain	39
3.4.2.2	Architectures reconfigurables multi-grains	40
3.4.2.3	Architectures reconfigurables à grain fin	41
4.5	Flot de conception d'un FPGA.	41
4.6	Conclusion	42
	Bibliographie	44
4	Implémentation du système MIMO-OFDM	46
4.1	Introduction	46
4.2	Structure de base de modulateur OFDM	47
4.2.1	Transmetteur OFDM	48
4.2.2	Récepteur OFDM	48
4.2.3	paramètres de simulation	48
4.3	Les modules de la modulateur OFDM	50

4.3.1 FFT et IFFT	51
4.3.2 Opérations de TDD	51
4.3.3 Opérations de FDD	52
4.3.4 Configuration de MIMO	53
4.4 Implémentation de la modulation OFDM	54
4.4.1 Préfixe cyclique et bit d'inversion	55
4.4.2 Traitement pré-FFT	56
4.4.3 Schémas d'horloge	56
4.4.4 Paramètres de simulation et résultats	57
4.5 Implémentation de l'algorithme MIMO	61
4.6 Conclusion	64
Bibliographie	65
Conclusion et Perspectives	66
Annexe A	69
Annexe B	75
Annexe C	77

Table des figures

1.1 Architecture de radio logicielle idéale	3
1.2 Architecture de radio logicielle restreinte	4
2.1 Chaîne de radiocommunications entre une source et un destinataire	11
2.2 Spectres des sous porteuses orthogonales	12
2.3 Schéma du principe de modulation et de démodulation OFDM.	13
2.4 Préfixe cyclique (CP)	14
2.5 Zero Padding (ZP)	14
2.6 Modèle de canal MIMO	16
2.7 Evolution de la capacité des systèmes MIMO	17
2.8 Codage spatio-temporel en treillis à 4 états	18
2.9 Codage spatio-temporel en block	19
2.10 Schéma de base d'un système utilisant le multiplexage spatial	19
2.11 Principe de base du décodage de sphère	21
2.12 Comparaison des performances en TEB pour différents récepteurs	22
2.13 Principe d'un système MIMO-OFDM	22
2.14 Les performances du MIMO-OFDM.	23
3.1 L'évolution de technologies cuivrées utilisées pour les FPGA.	30
3.2 Comparaison de capacité des composants ASIC et FPGA.	31
3.3 Modèle de coûts pour les composants ASIC et FPGA.	31
3.4 L'architecture d'un FPGA sous forme de deux couches	32
3.5 Architecture interne d'un FPGA	33
3.6 Bloc logique configurable d'un FPGA Xilinx.	33
3.7 Bloc d'E/S configurable FPGA (Xilinx vertex)	34
3.8 Interconnexion programmable de FPGA (Xilinx vertex)	35
3.9 Schéma de connexions à bus	36
3.10 Architecture reconfigurable utilisant une connexion point à point filaire	37
3.11 Partage de ressources par la reconfiguration	38
3.12 Classification des architectures reconfigurables	39
3.13 Architectures reconfigurables à gros grain	40
3.14 Architecture reconfigurable à multi-grains	40

3.15	Elément configurable de base des FPGA	41
3.16	Flot de conception du FPGA.	42
4.1	Structure du système OFDM	48
4.2	La bande passante occupée	50
4.3	Puissance spectral du signal IFFT	50
4.4	Constellation des modulations QPSK, 16-QAM et 64-QAM.	50
4.5	Performance du système FDM pour différents modulation	51
4.6	OFDM en duplex de division de temps (TDD)	52
4.7	OFDM en duplex de division de fréquence (FDD)	53
4.8	Système MIMO.	54
4.9	Architecture de modulateur et démodulateur OFDM.	55
4.10	Paquet de données avant et après l'opération d'insertion de préfixe cyclique.	57
4.11	Paquet de données avant et après l'opération suppression de préfixe cyclique.	57
4.12	L'implémentation de deux l'horloge	57
4.13	Conception de haut niveau de la modulation OFDM	58
4.14	Conception de haut niveau de la démodulation OFDM	59
4.15	Forme d'onde de la modulation OFDM.	59
4.16	Forme d'onde de la démodulation OFDM.	60
4.17	L'algorithme de décodage utilisant Simulink	62
4.18	Les modules de décodeur MIMO	62
4.19	Forme d'onde de décodeur MIMO	63
4.20	Performances de l'algorithme de décodage MIMO (SE)	63

Liste des tableaux

4.1 Paramètres de simulation	49
4.2 L'allocation des ressources de la modulation et de la démodulation OFDM.	61

Liste des acronymes et abréviations

ADSL	Asymmetric Digital Subscriber Line
ALU	Arithmetic logic unit
ASIC	Application Specific Integrated Circuit
BPSK	Binary Phase Shift Keying
CAN	Convertisseur Analogique Numérique
CDMA	Code Division Multiple Access
CLB	Configurable Logic Block
CNA	Convertisseur Numérique Analogique
CMOS	Complementary Metal Oxyde Semi-conductor
CP	Cyclic Prefix
D-BLAST	Diagonal- Bell Labs Layered Space Time
DAB	Digital Audio Broadcasting
DDC	Display Data Channel
DMR	Digital Modular Radio
DoD	Direct Outward Dialing
DSP	Digital signal processor
DUC	Dynamic Update Client
DVB-T/H	Digital Video Broadcasting - Terrestrial/Handheld
ED	Euclidiennes distances
FDD	Frequency division duplexing
FFT	Fast Fourier Transform
FPGA	Field programmable gate array
FSK	Frequency Shift Keying
GSM	Global System for Mobile communication
GPP	General Purpose Processor
H-BLAST	Horizontal- Bell Labs Layered Space Time
IOB	Input Output Bloc
ICI	Inter-Carrier Interference
IEEE	Institute of Electrical and Electronics Engineers
IFFT	Inverse Fast Fourier Transform
ISI	Inter-Symbol Interference
JTRS	Joint Tactical Radio System
LTE	Long Term Evolution

LAN	Local Area Networks
LCA	Logic cells arrays
LUT	Look Up Table
MMSE	Minimum Mean Square Error
ML	Maximum d'Likelihood
MDP	Modulation par Déplacement de Phase
MIMO	Multiple-Input Multiple-Output
MAC	Medium Access Control
MDP	Modulation par Déplacement de Phase
OFDM	Orthogonal Frequency Division Multiplexing
QPSK	Quadrature Phase Shift Keying
QAM	Quadrature Amplitude modulation
RAM	Random access memory
SD	Sphère decoding
SDMA	Space Division Multiple Access
SDR	Software Defined Radio
SISO	Single Input- Single-Output
SoC	System on Chip
SRAM	Static Random Access Memory
STC	Space-Time Coding
STB	Codes Spatio- Temporels en Bloc
STT	Codes spatio-temporels en treillis
TIC	Technologies de l'Information et de la Communication
T-BLAST	Turbo - Bell Labs Layered Space Time
TEB	Taux d'Erreur Binaire
TDD	Time division duplex
UWB	Ultra Wide Band
VHDL	Very high speed integrated circuit Hardware Description Language
V-BLAST	Vertical- Bell Labs Layered Space Time
VLSI	Very-Large-Scale Integration
WLAN	Wireless Local Area Networks
WiFi	Wireless Fidelity
WIMAX	Worldwide Interoperability for Microwave Access
ZF	Zéro forcing
ZP	Zero Padding

Chapitre 1

Introduction Générale

Sommaire

1.1 Introduction	1
1.2 Problématique de l'étude	5
1.3 L'objectif de l'étude	5
1.5 Plan du mémoire	6
1.6 Bibliographie	8

1.1 Introduction :

Les systèmes de télécommunication n'ont cessé d'évoluer ces dernières années, poussés par une forte demande du marché en systèmes toujours plus autonomes, performants et efficaces en énergie. Le secteur des Technologies de l'information et de la communication (TIC) [1], qui regroupe de nombreux domaines dont les télécommunications et internet, connaît une croissance incroyable depuis quelques années, en majorité portée par la commercialisation de nombreux objets connectés comme les tablettes tactiles, les smartphones et les ordinateurs portables. Ainsi, ce type de périphériques utilise généralement des réseaux sans fil comme le Wireless Fidelity (Wi-Fi) [2], Interopérabilité mondiale pour l'accès par micro-ondes (WIMAX) [3] ou bien des réseaux mobiles comme le Long-Term Evolution (LTE) [4] [5].

Cette croissance se traduit par une augmentation considérable du volume de données échangées par les clients des opérateurs mobiles. En effet, le volume de données (sms et communications audio-visuelles) est en perpétuelle augmentation, cette augmentation poursuivra dans les années à venir [6].

Dans la transmission de l'information, les ondes électromagnétiques vont subir l'influence du milieu de propagation. Le canal de propagation radio est alors caractérisé par des phénomènes physiques qui perturbent la nature du signal

d'information, tel que l'effet de masque (shadowing), l'évanouissement multi-trajets (fading), et l'effet Doppler. Ces distorsions du signal dans le canal de propagation radio mobile doivent alors être compensées par diverses techniques, dont des modulations plus avancées, dans le but de récupérer efficacement l'information [7].

Une des modulations les plus utilisées dans les systèmes de communication sans fil est le multiplexage par répartition en fréquences orthogonales (Orthogonal Frequency Division Multiplexing, OFDM) [8]. L'OFDM, système de modulation multi-porteuses, est très répandu, que ce soit dans la diffusion numérique terrestre (DVB-T/H, Digital Video Broadcasting - Terrestrial/Handheld) [9], l'ADSL (Asymmetric Digital Subscriber Line) [10], le WIFI et récemment le WiMAX pour l'accès large bande sur quelque dizaines de kilomètres [11].

Cette technique couplée avec la technologie multi-antenne MIMO (Multiple-Input Multiple-Output) [12-13] a aussi été retenue pour l'évolution des systèmes de communications sans fil, cette nouvelle évolution vise à accroître l'efficacité spectrale et la capacité radio, réduire la latence et les frais d'exploitation des opérateurs et, à terme, fournir aux utilisateurs finaux de nouveaux services haut débit mobiles à haute performance.

Parallèlement, la diversité et la complexité des applications de communication numérique ne cessent de croître avec l'évolution perpétuelle du marché des télécommunications.

De plus, Dans les réseaux de communication actuels, les traitements critiques et réguliers sont exécutés sur des accélérateurs matériels dédiés (ASIC, Application Specific Integrated Circuit) [14]. Les calculs de faible complexité sont assurés par des processeurs spécialisés dans la mise en œuvre d'applications de traitement du signal (DSP) [15]. Mais pour les télécommunications de future génération, la diversité des traitements implantés dans les accélérateurs matériels impose l'intégration d'un très grand nombre de blocs dédiés et conduit à un taux d'utilisation extrêmement réduit de ces ressources [16].

En effet, l'utilisation de différentes technologies pour supporter divers standards de communication mobile est un défi des réseaux de télécommunications actuels. Ils s'appuient essentiellement sur les technologies matérielles, dont les mises à jour et le temps de déploiement sont toujours élevés. La multiplication des standards de communication (WIFI, WIMAX, DVB 2, téléphone 3G, 4G...) nécessite d'avoir des plateformes matérielles flexibles. L'introduction de la technologie radio logicielle représente un changement important pour l'industrie de la radio transmission. La radio logicielle peut servir à remplacer tout système à radio fréquence existante et devrait permettre de réduire les coûts de développement [17].

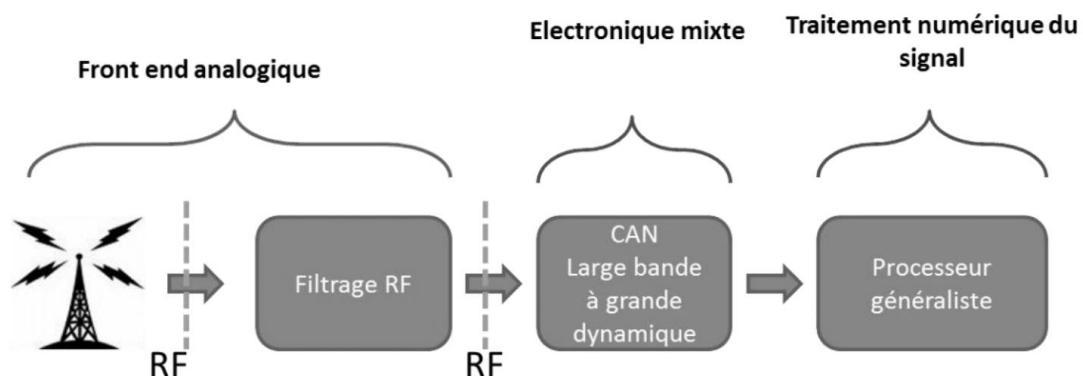
Historiquement, le terme de radio logicielle est apparu dès 1984 dans les bureaux de la société E-Systems qui travaillait alors avec le gouvernement américain à la fabrication d'un système de communication radio multistandard destiné à l'armée. Il est à noter que la technologie FPGA a été utilisée pour les traitements numériques des radiocommunications. Ensuite, un vaste programme radio logicielle a été lancé par le DoD américain et une architecture système SDR de référence est donnée par ce programme en 1998. Vanu G. Bose et al. [18] proposent une première implantation radio logicielle sur PC, d'un système de radio communication FSK et du standard de radiocommunication GSM [19]. Dans l'industrie, Motorola, un des principaux participants du projet JTRS, propose une architecture nommée Digital Modular Radio (DMR).

Mitola a défini les principaux concepts de la radio logicielle en 1995 [20]. Celle-ci veut apporter une solution à la coexistence simultanée de protocoles multiples en spécifiant des architectures reconfigurables dynamiquement pour les terminaux dans les environnements radio sans fil. L'atout de la radio logicielle est de pouvoir ajouter, mettre à jour des fonctionnalités du système radio par logiciel grâce à la reprogrammabilité des processeurs sans ajouter les coûts de changement du matériel [21].

L'architecture « idéal » se compose :

- Une antenne large bande
- Un convertisseur analogique numérique haute fréquence d'échantillonnage et large bande
- Un processeur généraliste permettant de réaliser les fonctions radio de divers standards et des interfaces associées.

La figure (1.1) présente l'architecture correspondant à la radio logicielle idéale. Cette évolution permet de se libérer de la contrainte actuelle qui est : à chaque standard un circuit dédié [22].



La figure (1.1) l'architecture correspondant à la radio logicielle idéale

Cependant, les technologies actuelles ne permettent d'arriver à une telle radio. Parmi ces limitations, nous pouvons citer les limites de performances des convertisseurs, la limitation en termes de bande passante des amplificateurs, le manque de puissance de calcul et la forte consommation des processeurs. Ainsi, une approche réaliste a été développée et conduit à la radio logicielle « restreinte » (SDR, Software Defined Radio) ou les architectures reconfigurables apportent une réponse à la multiplicité des standards de communication.

Un exemple d'architecture SDR est présenté par la figure (1.2) Ce concept correspond aux caractéristiques d'une numérisation par bande radio restreinte réalisée en fréquence intermédiaire ou en bande de base. Les circuits spécialisés sont remplacés par des circuits programmables permettant l'exécution d'applications logicielles [23-24].

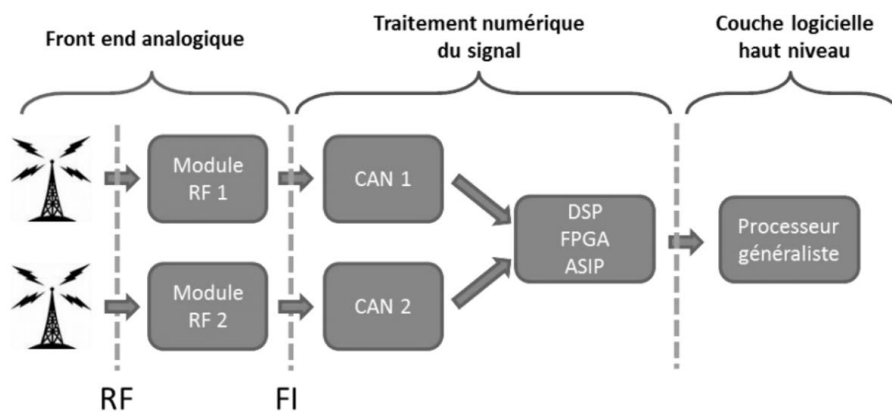


Figure (1.2) Architecture de radio logicielle restreinte

Parmi les architectures reconfigurables, les plateformes hétérogènes, combinant DSP, uP et FPGA, connaissent un grand succès et deviennent une solution pouvant allier flexibilité logicielle et matérielle aussi bien à la conception que durant l'utilisation. En effet, grâce à un réseau reprogrammable à des niveaux de granularité différent et à l'association avec des processeurs de traitement du signal, ces plateformes représentent une solution intermédiaire qui combine la flexibilité de la programmation et puissance de calcul des architectures spécialisées. Le compromis performance/flexibilité apporté par les FPGA en fait donc un bon candidat pour les applications radio logicielle par rapport aux ASIC et DSP. Nous nous sommes particulièrement intéressés à ce type de circuits et leur mise en œuvre dans les applications radio logicielle [25].

Les systèmes MIMO-OFDM sont l'un des principaux axes de développement pour augmenter les débits des communications sans fil. Nous assistons à un très rapide développement de cette technologie avec des applications déjà envisagées dans les réseaux locaux sans fil et les réseaux de communication de 3ème génération.

Les systèmes MIMO sont par exemple proposés pour le futur standard de réseau local sans fil IEEE 802.11n où l'objectif est d'atteindre des débits de 100 mégabits par seconde pour les applications vidéo. Les systèmes MIMO seront donc présents dans le futur système radio logicielle. Nous nous intéressons donc particulièrement à ces systèmes. Nous montrerons les possibilités de les réaliser pour différents cas d'utilisation par mise en œuvre d'architectures reconfigurables [26].

1.2 Problématique de l'étude :

La problématique de l'étude présentée dans cette thèse est la suivante :

1. Dans les standards de communication sans fil, est-il possible d'offrir une architecture reconfigurable pour un système MIMO-OFDM en supportant différents nombres d'antennes, différents types de modulations et différents tailles de FFT.
2. Afin d'optimiser les ressources matérielles, est-il possible de concevoir une architecture reconfigurable dynamiquement en exploitant la reconfigurabilité offerte par une plate-forme utilisée ?
3. Les méthodologies de conception sur FPGA sont aussi un point essentiel à la réalisation de systèmes radio logicielle.

1.3 L'objectif de l'étude :

Cette thèse a pour but d'étudier les architectures de circuits intégrés pour le traitement numérique de l'OFDM avancé, très haut débit et multi-standard. Ces architectures nécessitent à la fois des puissances de calculs plus élevées pour répondre au débit exigé, ainsi que des capacités de reconfiguration pour des applications multi-standard. Elles doivent pouvoir réaliser plusieurs modulations en parallèle pour les systèmes MIMO. De plus, ces architectures doivent être caractérisées par une consommation réduite du fait de l'environnement embarqué des terminaux mobiles.

Les architectures reconfigurables des modulateurs OFDM sont dédiées à une application spécifique. Ceci permet d'optimiser les ressources (mémoires, opérateurs arithmétiques, puissance, etc.) disponibles dans le circuit.

Dans une perspective de développement à long terme. Les recherches menées d'implémenter les algorithmes de réceptions des systèmes multi antennes et multi porteuses, et leurs architectures reconfigurables qui supportant différents nombres d'antennes, différents types de modulations et de propagation. Qui sont devenues un sujet essentiel dans la paramétrisation de la radio logicielle.

1.4 Plan du mémoire :

Le manuscrit s'articule autour de deux parties majeures que sont les systèmes de communications numériques sans fil et leur implantation sur des circuits de type FPGA.

Ce mémoire de thèse comprend quatre chapitres. Dans le premier chapitre, le contexte de l'étude est présenté : secteur des télécommunications, les techniques utilisées dans les systèmes de communications numériques sans fil (MIMO_ OFDM), le marché des télécom, les circuits spécifiques, la radio-logicielle et l'architecture en générale.

Le second chapitre illustre les principes généraux de tout système de communications numériques sans fil, nous présentons brièvement un état de l'art des systèmes MIMO-OFDM. Nous décrivons les modules de la chaîne de transmission OFDM (modulation utilisé, FFT/IFFT et cyclique préfixe). Puis nous définissons un modèle du système MIMO. Les techniques de transmission MIMO à l'émission et à la réception, les différents algorithmes de réception. Nous avons donc comparé les algorithmes en termes de compromis performances/Complexité. Nous détaillerons par la suite l'association de deux techniques, leur avantages e leur inconvénients.

Le troisième chapitre présente L'évolutions des circuits programmables, les caractéristiques inhérentes aux circuits logiques reconfigurables de type FPGA pour une bonne compréhension de son fonctionnement. Ensuite, nous décrivons Le récent domaine des architectures reconfigurables, Cependant il est possible de caractériser finement les architectures reconfigurables par le biais de la granularité de leurs ressources de traitement, de mémorisation et de communication, ainsi que par leur topologie de routage et leur lien avec un processeur interne. Puis la classification et la comparaison des architectures entre elles sont présentées. Nous terminons ce chapitre par un flot de conception de l'implémentation utilisé.

Le dernier chapitre présente les résultats d'implémentation et d'expérimentation de l'architecture proposée. Ce chapitre est composé de deux parties, le premier concerne la simulation de la chaîne SISO-OFDM qui a été réalisée sur MATLAB Simulink. Cette chaîne est un exemple typique de système de communications numériques sans fil basé sur la modulation OFDM. Le deuxième présente les résultats obtenus de L'architecture proposée sur une plateforme FPGA. Cette architecture proposée a d'abord été codée en langage VHDL et simulée afin de vérifier le bon fonctionnement du modulateur et démodulateur OFDM à différentes étapes du prototypage. Ainsi on peut appliquer cette architecture au système multi antenne (MIMO).

Pour finir, la conclusion propose une synthèse des travaux présentés pour amener le lecteur à une discussion sur les perspectives de ces travaux.

Bibliographie

- [1] Amon Holo, Les Technologies de l'Information et de la Communication dans l'enseignement du premier degré en France. Contribution à l'étude des compétences des élèves de l'école élémentaire, les origines et modes d'acquisition de celles-ci, Thèse Sep 2011
- [2] Rafik Braham, Réseaux Locaux Sans Fil (Bluetooth, Wi-Fi, WiMAX), cours Institut Supérieur - Informatique Technologies de Communication Hammam Sousse, 2003-2008
- [3] Alain Dessureault MBA, Les réseaux sans fil, CIMEQ Mai 2006
- [4] Y. Bouguen, É. Hardouin, François-X. Wolff, LTE et les réseaux 4G, Groupe Eyrolles, 2012, ISBN : 978-2-212-12990-8
- [5] Jordane Lorandel, « Etude de la consommation énergétique de systèmes de communications numériques sans fil implantés sur cible FPGA », Thèse Dec 2016.
- [6] Hongyan Zhou, Design and FPGA Implementation of OFDM System with Channel Estimation and Synchronization, thèse June 2013
- [7] C. Sahnine, Architecture de circuit intègre reconfigurable, très haut débit et basse consommation pour le traitement numérique de l'OFDM avancé, Thèse Feb 2009
- [8] A. R. S. Bahai, B. R. Saltzberg, and M. Ergen, Multi-carrier Digital Communications Theory and Applications of OFDM, 2nd ed. Springer science, 2004.
- [9] Digital video broadcasting (DVB); framing structure, channel coding and modulation for digital terrestrial television, ETSI, Tech. Rep., Novembre 2004.
- [10] J. A. C. Bingham, ADSL, VDSL, and Multicarrier Modulation, J. G. Proakis, Ed. John Wiley & Sons, 2001.
- [11] R. Olexa, Implementing 802.11, 802.16, and 802.20 Wireless Networks Planning, Troubleshooting and Operations. Elsevier, 2005.
- [12] G. Tsoulos, MIMO System technology for wireless communications. Lavoisier, 2006.
- [13] Qualcomm, Whitepaper: 3GPP long-term evolution (LTE), Jan. 2008.
- [14] D. Fall, FPGA and ASIC prototyping of an advanced OFDM modulator, Master's thesis, Polytech'Grenoble, Septembre 2008.
- [15] DSP : Designing for Optimal Results High-Performance DSP Using Virtex-4 FPGAs, Xilinx, Mars 2005.
- [16] R. Kara-Falah, Réalisation d'une architecture reconfigurable d'un modulateur ofdm avancé haut débit et basse consommation, Master's thesis, Laboratoire TIMA, Septembre 2007.
- [17] Hongzhi WANG, Architectures reconfigurables à base d'opérateur CORDIC pour le traitement du signal: Applications aux récepteurs MIMO, Thèse avril 2009
- [18] V. G. Bose et A. B. Shah, « Software Radios for Wireless Networking ». Infocomm Ô98, San Fransisco, vol. 3, pages 828–831 vol.3, April 1998.

[19] Guillaume Villemaud, Les communications multi-* : contribution au développement d'architectures radio flexibles pour les réseaux sans fil hétérogènes, thèse Jul 2014

[20] J. Mitola, Software radio architecture: a mathematical perspective, IEEE Journal on Selected Areas in Communications, vol. 17, no. 4, pp. 514-538, April 1999.

[21] Laurent Alaus, Architecture Reconfigurable pour un Equipement Radio Multistandard, Thèse Nov 2010.

[22] F. Rivet, Y. Deval, J.-B. Bégueret, D. Dallet, P. Cathelin, and D. Belot, "A Disruptive Receiver Architecture Dedicated to Software-Defined Radio," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 55, no. 4, pp. 344-348, 2008.

[23] Jacques Palicot et Chistian Roland, « La radio logicielle : enjeux, contraintes et perspectives ». Revue de l'Électricité et de l'Électronique, vol. 7, décembre 2001.

[24] Michaël GRAND, Conception d'un crypto-système reconfigurable pour la radio logicielle sécurisée, thèse Décembre 2011

[25] M. Cummings et S. Haruyama, « FPGA in the software radio ». Communications

Magazine, IEEE, vol. 37, no2, pages 108–112, Feb 1999.

[26] Y. Soo Cho, "MIMO-OFDM Wireless Communications With Matlab", John Wiley& Sons, 2010.

Chapitre 2

Généralité sur systèmes MIMO-OFDM

Sommaire

2.1 Introduction	11
2.2 La chaîne d'émission-réception	11
2.3 Présentation de la modulation à multi-porteuse (OFDM)	12
2.3.1 Orthogonalité	12
2.3.2 Schéma de modulateur OFDM.	13
2.3.3 Intervalle de garde	13
2.3.4 Avantages et inconvénients de l'OFDM	14
2.4 Système MIMO	15
2.4.1 Présentation de canal MIMO	15
2.4.2 Capacité du canal MIMO.	16
2.4.3 Transmission de systèmes MIMO	17
2.4.3.1 MIMO à base de codes spatio-temporels	17
2.4.3.2 MIMO à base de multiplexage spatial	19
2.4.4 Algorithmes de détection pour récepteur MIMO	19
2.4.4.1 Détection de signal ZF	20
2.4.4.2 Détection de signal MMSE	20
2.4.4.3 Détection de signal ML	20
2.4.4.4 Détection de signal SD	21
2.4.4.5 détecteur BLAST	21
2.4.5 Comparaison des algorithmes en terme de performance	21
2.5 Association MIMO-OFDM	22
2.5.1 Schéma block d'un système MIMO -OFDM	22
2.5.2 Performances du système MIMO-OFDM.	23
2.6 Conclusion.	24
Bibliographie	25

2.1 Introduction :

Nous commençons ce chapitre par la présentation de la technique OFDM comme technique robuste pour les systèmes de communication à haut débit, son principe de fonctionnement et les éléments constitutants de la chaîne OFDM sont présentés aussi.

Ensuite, une deuxième technique dans le système de communication sans fil telle que la technique multi antennes (MIMO) est présenté. Après, nous exposerons le codage spatio-temporaire, le multiplexage spatial et les algorithmes de détections dans ce travail. Nous concluons cette partie par une combinaison de deux techniques MIMO-OFDM et leurs performances dans le système radio logiciel.

2.2 La chaîne d'émission-réception :

La transmission fiable d'un message nécessite une série de traitements en émission afin de préparer le signal et l'adapter au canal de propagation, ainsi qu'une série de traitements inverses en réception afin de retrouver le message d'origine et de supprimer les différentes nuisances causées par la transmission et la propagation [1.9].

La figure (2.1) montre une chaîne de radiocommunications entre une source (émetteur) et un destinataire (récepteur). Avec les principales opérations en bande de base, le codage, la modulation, l'égalisation ainsi que les opérations de conversion et d'amplification permettant le passage en haute fréquence. Le choix des techniques de transmission dans les systèmes numériques est surtout imposé par le canal de propagation correspondant, et par certaines contraintes de mise en œuvre et de coût de fabrication.

Le bloc de modulation de la figure (2.1) contient principalement deux techniques qui seront étudiées dans ce chapitre : l'OFDM et MIMO. Les informations qui vont être traitées par ces techniques sont des symboles issus d'une constellation de type QPSK ou QAM. Ces symboles sont générés à partir d'un train binaire lors de l'opération de mapping [2].

On s'intéresse dans ce qui suit uniquement aux effets du canal radio.

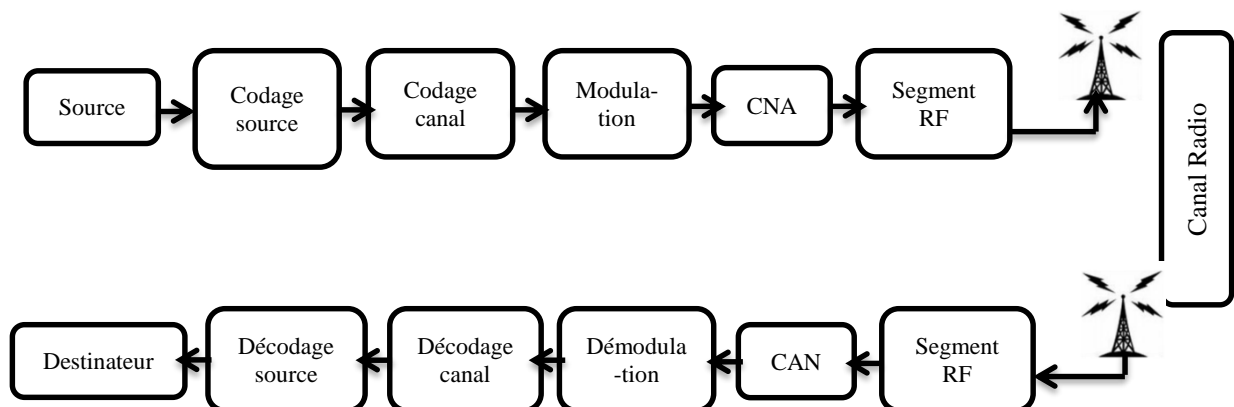


Figure (2.1) chaîne de radiocommunications entre une source (émetteur) et un destinataire (récepteur)

2.3 Présentation de la modulation à multi-porteuse (OFDM):

Le multiplexage par répartition orthogonale de la fréquence (OFDM) [1-3] est une technique de multiplexage en fréquence qui a fait l'objet d'une attention considérable au cours des dernières années. Cette technique de transmission multi-porteuses serre de manière dense plusieurs sous-porteuses modulées dans le domaine des fréquences, pour une utilisation plus efficace de la bande passante, par opposition aux autres systèmes de multiplexage par répartition en fréquence. OFDM est déjà utilisé dans divers systèmes de communication, y compris les systèmes de ligne d'abonné numérique (DSL) [4], la radiodiffusion audionumérique et la diffusion vidéo numérique (DAB, DVB) [5,6], et les systèmes LAN sans fil appelés WIFI basés sur les spécifications IEEE 802.11a [7].

L'expression du signal OFDM transmis est donnée par :

$$S(t)_{OFDM} = \sum_{n=-\infty}^{+\infty} \sum_{m=0}^{2M-1} a_{n,m} e^{j\theta_{n,m}} g(t - n\tau_0) e^{j2\pi m v_0 t} \quad (2.1)$$

Où $a_{n,m}$ représente l'information envoyée sur la même porteuse du même symbole,

$2M (= N)$ est le nombre des sous-porteuses, v_0 l'espace inter-porteuse et τ_0 la durée d'un symbole OFDM. Le terme $g(t - n\tau_0)$ représente la fonction prototype de mise en forme temporelle du signal décalée dans le temps tous les $n\tau_0$.

2.3.1 Orthogonalité :

En OFDM, les porteuses sont conçues de manière à ce qu'elles soient orthogonales entre elles [8]. les signaux $\{e^{j2\pi f_k t}\}$ forme une base orthonormée pour des fréquences $f_k = k/T_{sym}$, avec $0 \leq t \leq T_{sym}$. Dans le domaine fréquentiel, ces signaux sont présentés dans la figure (2.2).

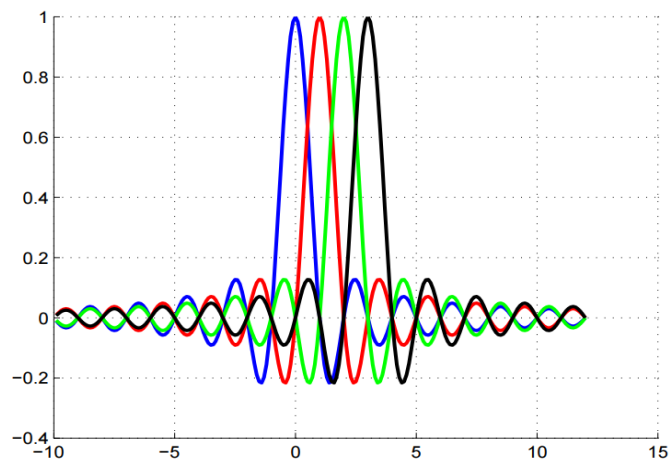


Figure (2.2) : Spectres des sous porteuses orthogonales

2.3.2 Schéma de modulateur OFDM:

La figure (2.3) montre le schéma du principe de modulation et de démodulation OFDM. En émission une conversion série/parallèle de taille N est nécessaire afin de produire des blocs de N symboles. Ensuite, une transformée de Fourier inverse (IFFT) de taille N_{FFT} est appliquée. Finalement, un intervalle de garde cyclique de taille Δ est inséré en début de chaque bloc OFDM. Cet intervalle de garde contient une copie des derniers symboles du bloc. Ceci induit évidemment une perte en efficacité spectrale et constitue le principal inconvénient de cette technique. À part sa robustesse aux effets d'interférences, l'OFDM offre une flexibilité dans l'allocation des ressources (ex : OFDMA), cependant elle reste sensible à la synchronisation et souffre du facteur de crête (PAPR) [9].

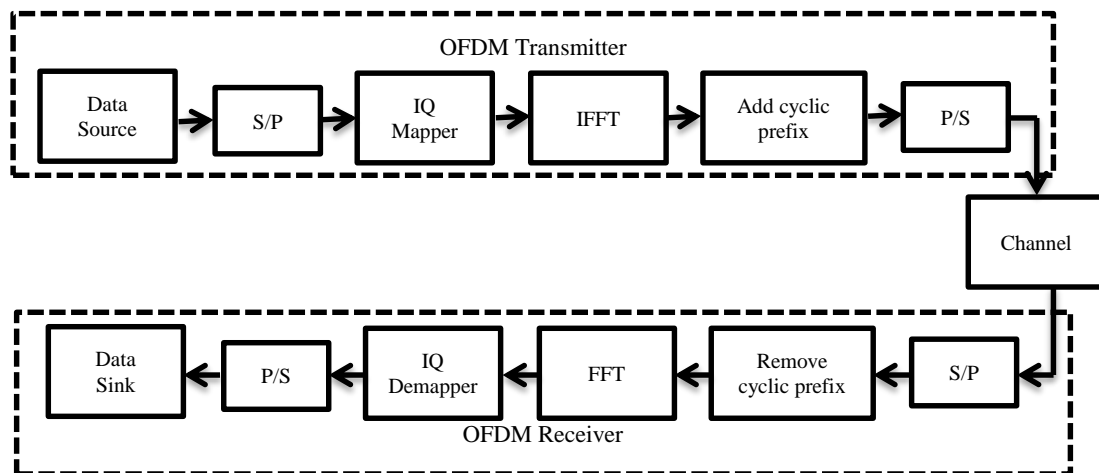


Figure (2.3) schéma du principe de modulation et de démodulation OFDM

2.3.3 Intervalle de garde :

Dans le canal multi trajets qui caractérisent par des retards et des atténuations. Et à cause de la mémoire du canal, les dernières composantes du bloc OFDM interfèrent avec les premières composantes du bloc OFDM. Cela donne naissance à un phénomène d'IES qui vient dégrader la qualité du signal. L'ajout d'un intervalle de garde, est la solution utilisée dans les systèmes OFDM actuels dans le but d'éliminer ce phénomène d'IES [9,10].

Il existe principalement deux types d'intervalles de garde utilisés :

- Préfixe cyclique (CP) : Le CP Consiste à copier une partie de la fin d'un symbole OFDM dans son début comme il est illustré dans la figure (2.4). L'ajout d'un

intervalle de garde permet de maintenir l'orthogonalité entre les différentes sous porteuses [11.12].

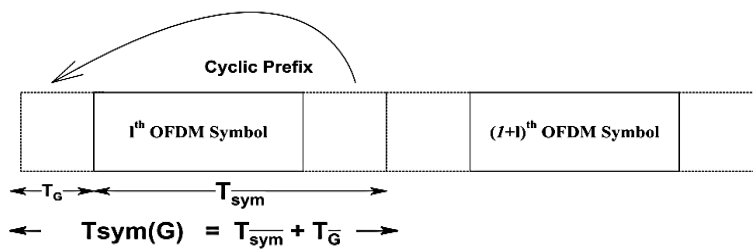


Figure (2.4) Préfixe cyclique (CP)

- Zero Padding (ZP) : dans ce cas, l'intervalle de garde ne contient que des zéros. Cette approche particulière est adoptée par OFDM multi bande (MB-OFDM) dans un système à bande ultra large (UWB) [13]. La figure (2.5) représente des symboles OFDM avec ZP.

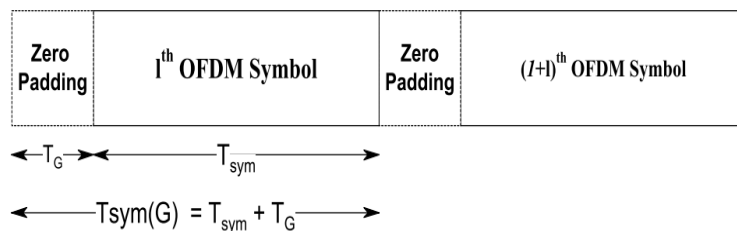


Figure (2.5) Zero Padding (ZP)

2.3.4 Avantages et inconvénients de l'OFDM :

Les avantages de l'OFDM sont nombreux :

1. Faible ISI : Le fait d'ajouter un intervalle de garde T_g , augmente la robustesse du signal OFDM aux trajets multiples. Cela permet d'avoir en réception une ISI acceptable, c'est-à-dire les symboles OFDM arrivant au récepteur n'interfèrent pas aux instants d'échantillonnage.
2. la modulation est basée sur un algorithme bien connu et peu complexe : la FFT.
3. Amélioration de la qualité de la transmission des données.
4. l'OFDM permet une égalisation fréquentielle simple

De plus, l'OFDM possède des inconvénients qu'il est important d'appréhender :

1. l'OFDM souffre de sensibilité de la synchronisation en temps et en fréquence au niveau de récepteur, cela intervenir dégradant considérablement les performances du système global [14].

2. L'écart en fréquence de la porteuse qui dû à l'effet Doppler ou tout simplement dû à l'écart entre les fréquences des oscillateurs à la réception et à la transmission, créera ce qu'on appelle de l'interférence inter-porteuses (ICI) [15].

Après avoir présenté les avantages de l'OFDM [1,10], ses défauts ainsi que les détails de sa mise en place, nous nous intéressons, dans le paragraphe suivant, à une autre technique utilisée actuellement. Appelée MIMO (Multiple Input Multiple Output), cette technique est basée sur l'utilisation de plusieurs antennes aux niveaux de l'émetteur et du récepteur. Son association à l'OFDM permet, dans certaines conditions, une amélioration considérable des performances d'un système de communications numériques.

2.4 Système MIMO :

Les systèmes MIMO (Multi-Input Multi-Output) sont devenus un des sujets les plus étudiés en recherches, car ils sont capables d'augmenter l'efficacité spectrale (capacité) [16,17] sur une largeur de bande limitée. L'utilisation d'antennes multiples conduit à une dimension supplémentaire dans le degré d'accès multiple au réseau par rapport au cas mono-antenne (Space Division Multiple Access : SDMA) et ainsi offre une solution efficace à l'accroissement des débits pour les générations futures de radiotéléphonie cellulaire. Donc, Il est clair que l'utilisation d'antennes multiples est un moyen bien connu pour améliorer les performances d'un système de transmission sur canaux à fading [18].

2.4.1 Présentation de canal MIMO :

Considérons le modèle de canal MIMO présenté dans la figure (2.6), créé par l'utilisation d'antennes multiples à la fois à l'émission et en réception. Ce canal composé de N_T antennes à l'émission et N_R antennes à la réception. Ce modèle aussi consiste en une matrice H , dont chaque coefficient complexe h_{ij} représente la fonction de transfert entre la i^e antenne réceptrice et la j^e antenne émettrice. Le vecteur reçu r peut s'écrire :

$$r = Hs + n \quad (2.2)$$

avec h_{ij} les coefficients du canal : $i \in \{1, \dots, N_T\}, j \in \{1, \dots, N_R\}$:

$$H = \begin{bmatrix} h_{11} & \cdots & h_{1n_t} \\ \vdots & \ddots & \vdots \\ h_{n_r 1} & \cdots & h_{n_r n_t} \end{bmatrix} \quad (2.3)$$

Dans cette équation, $\mathbf{s} = [\mathbf{s}_1; \mathbf{s}_2; \mathbf{s}_3; \dots \dots \mathbf{s}_M]$ est le vecteur de symboles émis, \mathbf{H} est la matrice de canal de dimension $(M \times N)$ et $\mathbf{n} = [\mathbf{n}_1; \mathbf{n}_2; \mathbf{n}_3; \dots \dots \mathbf{n}_M]$ est le vecteur de bruit additif gaussien en réception.

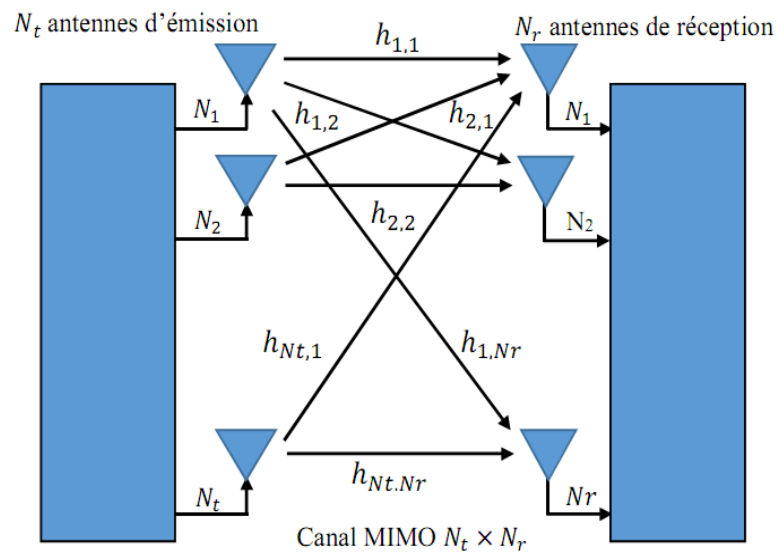


Figure (2.6) modèle de canal MIMO

2.4.2 Capacité du canal MIMO :

La capacité des systèmes MIMO est définie comme étant le débit maximal de transmission que peut acheminer un système pour une probabilité d'erreur donnée. Dont nous ne présentons ici que les éléments de base pour montrer l'intérêt des transmissions MIMO. L'expression de la capacité de canal est donnée par [19, 20]:

$$C = N \log_2 (1 + \rho R) \quad (2.4)$$

Où N est nombre d'antenne et ρR est Le rapport signal sur bruit moyen (SNR) sur chaque antenne de réception, et est indépendant de N .

L'avantage en capacité des systèmes MIMO est principalement dû à l'exploitation des trajets multiples. Ils permettent d'émettre plusieurs symboles simultanément.

La Figure (2.7) représente les courbes de la capacité en fonction du SNR pour plusieurs valeurs de N_T et N_R [21]. La capacité MIMO augmente beaucoup plus rapidement avec le SNR en fonction de nombre d'antennes.

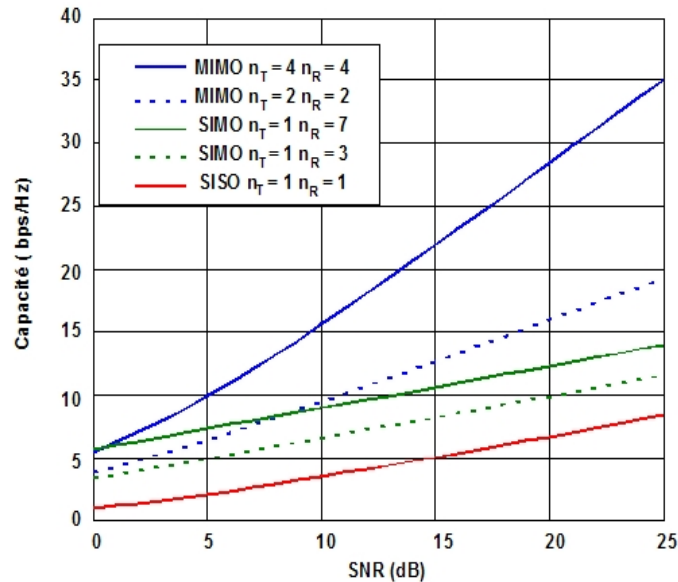


Figure (2.7) Evolution de la capacité des systèmes MIMO

2.4.3 Transmission de systèmes MIMO :

Comparativement à un système de télécommunications conventionnel, la capacité d'un système MIMO à N_T et N_R antennes en transmission et réception respectivement, peut être augmentée. Puisque la demande en spectre et en débit numérique est augmentée, les systèmes MIMO ont été étudiés de fond en comble et continuent de l'être. De plus, des déploiements tel que Mobile WiMAX ont prouvé l'efficacité de cette technologie [10,15].

La technologie MIMO peut se diviser en deux catégories distinctes : la diversité et le multiplexage spatial. La diversité a pour objectif atténuer la dégradation des performances d'erreur due aux canaux à évanouissements sans fil instables, soumis par exemple à l'évanouissement par trajets multiples D'un autre côté, les techniques de multiplexage spatial ont pour but que la transmission de flux de données indépendants sur plusieurs antennes simultanément, ce qui a comme effet d'augmenter le débit numérique du système[22].

2.4.3.1 MIMO à base de codes spatio-temporels :

Afin d'améliorer la qualité de la transmission, Alamouti [23] et Tarokh [24] ont conçu des systèmes basés essentiellement sur la diversité, proposant un codage et un étiquetage conjoints. Ce codage spatio-temporel (Space-Time Coding, STC) permet également des communications plus sûres, il consiste à ajouter de la redondance aux

données binaires émises afin d'augmenter la diversité spatiale et éviter les évanouissements propres au canal MIMO. Pour plus de détails sur les codes spatio-temporels, se référer à [23, 24, 25].

Récemment, une multitude de techniques de codage ont vu le jour dans le but d'une meilleure utilisation de la diversité de transmission. Ces techniques de codage spatio-temporel peuvent être classées en deux catégories : (i) les codes spatio-temporels en treillis (STT) [23,26], (ii) les codes Spatio- Temporels en Bloc (STB) [23]. Dans ce qui suit nous survolons brièvement ces deux techniques de codage.

- **Codage spatio-temporel en treillis :** Le STTC crée des relations entre les signaux à la fois dans l'espace (plusieurs antennes émettrices) et dans le temps (symboles consécutifs) [24]. Le codeur est composé de M polynômes générateurs qui déterminent les symboles émis simultanément. La figure (2.8) propose le diagramme de treillis d'un STTC à 4 états utilisant une modulation simple MDP-4, avec un nombre d'antennes émettrices $M = 2$ [28].

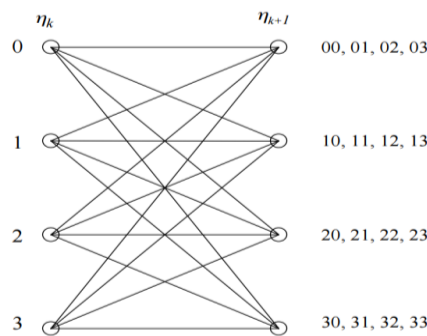


Figure (2.8) Codage spatio-temporel en treillis à 4 états utilisant $M = 2$ émetteurs et une modulation MDP-4

- **Le codage spatio-temporel en block :** ou Space Time Block Coding (STBC) est une technique de diversité proposé par Alamouti [27]. Il est conçu à la base pour un canal à évanouissement plat. La figure (2.9) illustre le principe du codage STBC dans le cas d'un système à deux antennes émettrices et deux antennes réceptrices.

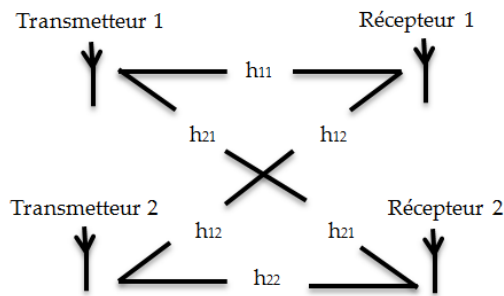


Figure (2.9) codage spatio-temporel en block

2.4.3.2 MIMO à base de multiplexage spatial :

Contrairement aux techniques de diversité, les techniques de multiplexage ont pour but d'augmenter le débit [29]. Cela consiste à diviser le flux de données, qui arrive à l'émetteur, en plusieurs flux secondaires, chacun envoyé sur une des antennes disponibles à l'émetteur en utilisant la bande de fréquence. Il a été démontré que la capacité, d'un système à N_T antennes émettrices et N_R antennes réceptrices, augmente de façon presque linéaire. Cependant, le grand défi dans ces techniques est la détection au niveau du récepteur. Les principales techniques de multiplexage spatial ont été développées par les laboratoires Bell. On peut distinguer différents types du système MIMO par multiplexage spatial, tels que D-BLAST, H-BLAST, V-BLAST ou Turbo-BLAST [30,31].

La figure (2.10) présente le schéma de base d'un système utilisant le multiplexage spatial [32].

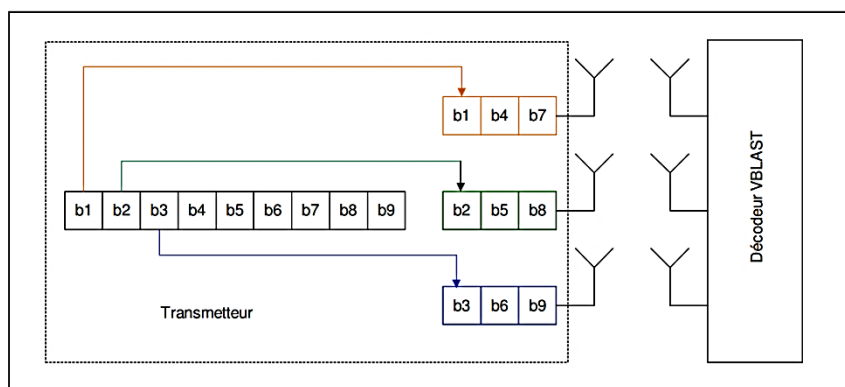


Figure (2.10) schéma de base d'un système utilisant le multiplexage spatial

2.4.4 Algorithmes de détection pour récepteur MIMO :

Les algorithmes de détection dépendent généralement de l'architecture du système à la réception. On distingue plusieurs algorithmes envisageables pour récupérer les symboles dans les systèmes MIMO sous hypothèse que la matrice du canal est connue. Ces algorithmes sont regroupés en deux approches qui sont les techniques linéaires et non-linéaires. Les moins complexes sont les récepteurs

linéaires basés sur le critère de forçage à zéro (ZF) [33] ou la minimisation de l'erreur quadratique moyenne (MMSE) [34]. Le plus performant est le détecteur optimal qu'est basé sur le maximum de vraisemblance (ML) [35]. Notre objectif n'est pas de faire une recherche exhaustive. Nous souhaitons seulement dans cette section identifier, parmi les algorithmes les plus connus, les meilleurs algorithmes en termes de rapport complexité/performance que nous pourrions implanter sur FPGA.

2.4.4.1 Détection de signal ZF :

Cette technique est plus simple et aussi moins performant. Elle est basée sur le calcul de l'inverse de la matrice représentant le canal H . Le vecteur estimé est obtenu par :

$$S_{est} = [(H^*H)^{-1}H^*]r = H^+r \quad (2.5)$$

Où H^* et H^+ désignent la transposée conjuguée et la matrice pseudo inverse de la matrice H respectivement. Lorsque H est mal conditionné, son inversion multiplie le bruit et dégrade alors sérieusement les performances à faible SNR [36,37].

2.4.4.2 Détection de signal MMSE :

Ce détecteur est basé sur la minimisation de l'erreur quadratique moyenne entre le vecteur de données r , et son estimation S_{est} . Due à la fois au bruit et aux interférences entre symboles. Le vecteur estimé est définie comme suit :

$$S_{est} = (H^*H + \sigma^2I)^{-1}H^*r \quad (2.6)$$

2.4.4.3 Détection de signal ML :

Le problème de détection MIMO peut être résolu de manière optimale avec un détecteur de maximum de vraisemblance (ML) [38], ce qui minimise la probabilité d'erreur. Le détecteur ML résout de manière optimale le problème dit de point de réseau le plus proche en calculant les distances euclidiennes (ED) entre le signal reçu r et les points de réseau HS et sélectionne le point de réseau qui minimise la distance euclidienne au vecteur y reçu, c'est-à-dire en vérifiant tous les vecteurs de symboles Ω^{N_T} possibles x et en sélectionnant le point le plus proche.

$$S_{est} = arg \min_{s \in \Omega^{N_T}} \|r - Hs\|_2^2 \quad (2.7)$$

2.4.4.4 Détection de signal SD :

Les algorithmes de détection de sphère approximent la solution de détecteur de maximum de vraisemblance (ML) avec un nombre réduit de points à tester qui sont contenu à l'intérieur d'une hyper sphère centré sur le signal reçu[39].

Le principe de base du décodage de sphère est assez simple : nous essayons de ne rechercher que les points de réseau s situés dans une certaine sphère de rayon d autour du vecteur x donné, réduisant ainsi l'espace de recherche et donc les calculs nécessaires (voir la figure (2.11)). Clairement, le point de réseau le plus proche à l'intérieur de la sphère sera également le point de réseau le plus proche pour l'ensemble du réseau.

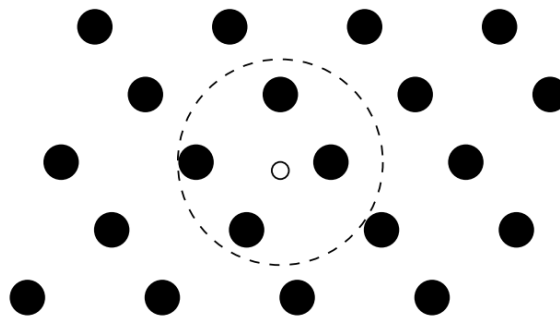


Figure (2.11) principe de base du décodage de sphère

2.4.4.5 détecteur BLAST :

L'algorithme BLAST (Bell Labs Layered Space Time) est un algorithme non linéaire utilisé la première fois par G. Foschini [30], Il s'agit d'un égaliseur à retour de décision, adapté à la structure des systèmes MIMO. Cet algorithme peut utiliser soit le critère du forçage à zéro (ZF) ou celui de l'erreur quadratique moyenne (MMSE).

BLAST nécessite un critère de détection, et celui-ci est aussi appelé «vecteur annulant ». Le vecteur annulant est créé en utilisant une pondération du vecteur reçu pour satisfaire un certain critère de performance de détection [40], comme par exemple Par conséquent, cet algorithme a connu diverses approches sur la façon de détecter le signal reçu. Ces approches sont : V-BLAST (BLAST Vertical), D-BLAST (BLAST Diagonal) et T -BLAST (Turbo BLAST).

2.4.5 Comparaison des algorithmes en termes de performance :

Dans ce paragraphe nous avons présenté les divers algorithmes de détection classique, tels que les structures linéaires et non linéaires ou les structures à maximum de vraisemblance.

La figure (2.12) montre une évaluation du TEB pour les récepteurs que nous venons de présenter. Ces résultats sont obtenus dans un système MIMO muni de 2x2 antennes avec une modulation BPSK. Comme le montre dans la figure (2.12) le récepteur à maximum de vraisemblance est le plus performant, mais son inconvénient est que sa complexité algorithmique devient la plus élevée quand le nombre d'antennes augmente. Les performances des décodeurs de type linéaire semblent correctes mais pas suffisantes au regard des structures itératives. On voit bien à travers les simulations que le V-BLAST permet d'améliorer d'une manière notable les performances des systèmes linéaires. Par opposition aux algorithmes à structures linéaires, nous pouvons constater que les algorithmes à structures itératives telle que le décodeur à forçage à zéro et MMSE améliorent nettement les performances du récepteur, sans augmenter leur charge de calcul [41].

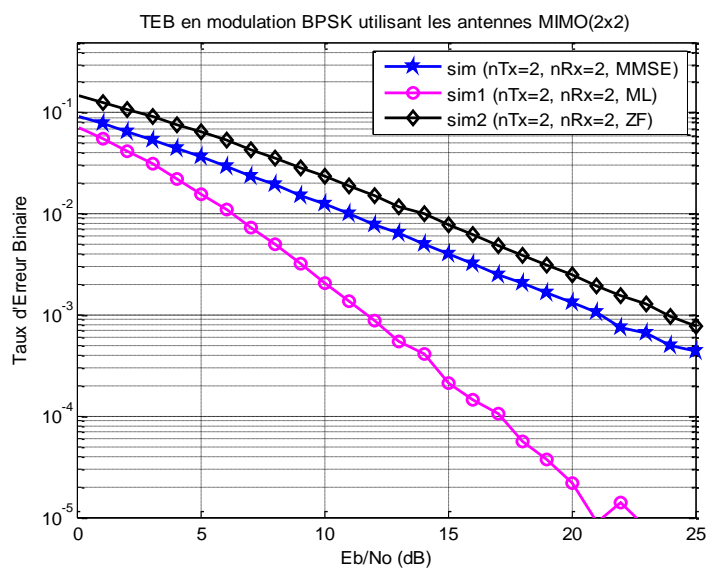


Figure (2.12) Comparaison des performances en TEB pour différents récepteurs

2.5 Association MIMO-OFDM :

Les systèmes à antennes multiples jouent un rôle important dans le développement des systèmes de communication sans fils à bande large. Grâce aux trajets multiples entre l'émetteur et le récepteur, les effets d'atténuation du canal sont réduits d'une façon significative, de plus l'efficacité spectrale se trouve remarquablement augmentée [30,42]. L'utilisation de la modulation OFDM dans les systèmes MIMO s'avère être une technique bien adéquate.

2.5.1 Schéma block d'un système MIMO –OFDM :

La figure (2.13) illustre le schéma bloc simplifiée de l'émetteur et du récepteur du système MIMO-OFDM. À l'émetteur, les données qui arrivent de la source d'information sous forme de bits, sont codées selon une modulation numérique, puis sont envoyés vers le codeur MIMO. À ce niveau, plusieurs sous-flux de symboles codés MIMO sont envoyés chacun sur une branche différente. Sur chaque branche,

les symboles sont modulés OFDM puis transmis sur une antenne.

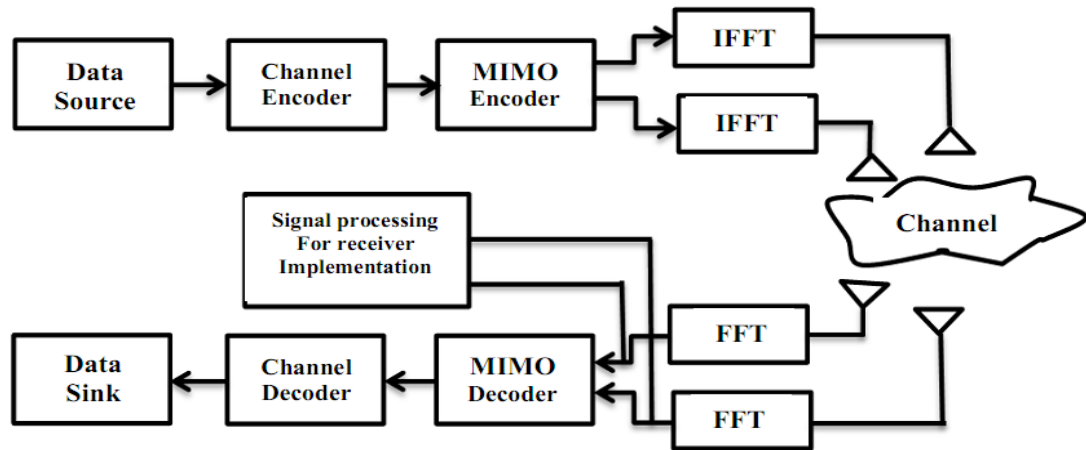


Figure (2.13) Principe d'un système MIMO-OFDM

2.5.2 Performances du système MIMO-OFDM :

Pour illustrer l'intérêt de l'association des systèmes MIMO avec la modulation OFDM, nous allons comparer les performances en termes de BER (Taux d'Erreur Binaire) des deux systèmes. Pour avoir une bonne comparaison. Dans la figure (2.14) Les performances du MIMO-OFDM sont nettement meilleures.

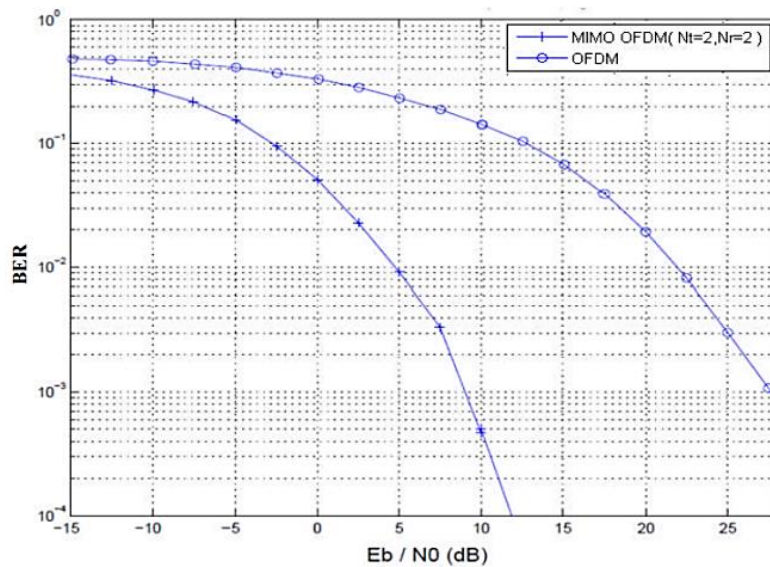


Figure (2.14) Les performances du MIMO-OFDM

2.6 Conclusion :

Nous avons étudié, dans ce chapitre, une chaîne de transmission avec les différents blocs, Cela nous a menés à la présentation d'une des techniques de modulations multi porteuses (l'OFDM) permettant, d'un côté, de lutter contre les perturbations qu'entraînent ces canaux, et d'un autre côté, d'améliorer l'efficacité spectrale des systèmes[10.41]. FFT et l'intervalle de garde ont été présentés. Toujours dans le contexte des techniques améliorant les performances, nous avons présenté le MIMO qui permet d'augmenter la capacité des systèmes, en utilisant plusieurs antennes à l'émission et à la réception. De même le MIMO augmente la diversité en utilisant des techniques de codage espace-temps ou le multiplexage spatial. Nous avons enchaîné avec une présentation de la combinaison du système multi-Antennaire (MIMO) avec la modulation multi-porteuses (OFDM), cette association est aujourd'hui, reconnue comme des solutions à fort potentiel pour les futurs systèmes de radiocommunication. On pourrait alors bénéficier des avantages de chacune d'elles.

Dans le chapitre suivant, nous allons intéresser à la présentation de l'architecture reconfigurable. Cette architecture est basé sur des circuits de type FPGA, que nous allons implémenter sur ces architectures reconfigurables les applications de Radio Logicielle pour les systèmes multi-porteuses et multi-antennes.

Bibliographie:

- [1] Lajos Hanzo, Yosef Akhtman, Li Wang, Ming Jiang, MIMO-OFDM for LTE, WiFi and WiMAX, IEEE-978-0-470-68669-0, November 2010
- [2] L. Hanzo, W. Webb, and T. Keller, Single- and multi-carrier quadrature amplitude modulation. Chichester: IEEE Press and John Wiley & Sons, Ltd, 2nd edn, 2000.
- [3] L. Hanzo, M. Münster, B. J. Choi, and T. Keller, OFDM and MC-CDMA for Broadband Multi-user Communications, WLANs and Broadcasting. Chichester: IEEE Press and John Wiley & Sons, Ltd, 2003.
- [4] J. M. Cioffi, A Multicarrier Primer. ANSI T1E1.4/91-157, November 1991.
- [5] European Telecommunications Standards Institute, Digital Audio Broadcasting (DAB); DAB to mobile, portable and fixed Receivers, ETSI ETS 300 401 ed.1, February 1995.
- [6] European Telecommunications Standards Institute, Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television (DVB-T), ETSI ETS 300 744 ed.1, March 1997.
- [7] Institute of Electrical and Electronics Engineers, IEEE Standard 802.11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications, 18 November 1997
- [8] H. Taleb, MIMO-OFDM pour les communications sans fil dans les mines, Aout 2017.
- [9] Akh Charaf, Etudes de recepteurs MIMO-LDPC iteratifs, Telecom ParisTech, 2012
- [10] Adil BELHOUI, Etudes théoriques et expérimentales de systèmes de transmissions MIMO-OFDM, Octobre 2009
- [11] Prafulla. D. Gawande and Sirdharth. A. Ladhake, BER PERFORMANCE OF OFDM SYSTEM WITH CYCLIC PREFIX & ZERO PADDING, IJAET Mar. 2013
- [12] Bertrand Muquet, Zhengdao Wang, Cyclic Prefixing or Zero Padding for Wireless Multicarrier Transmissions, IEEE TRANSACTIONS ON COMMUNICATIONS, VOL. 50, NO. 12, DECEMBER 2002
- [13] Alliance, W. Multiband OFDM Physical Layer Specification, Release 1.2. (Feb. 2007)
- [14] Sylvain Traverso, Transposition de fréquence et compensation du déséquilibre IQ pour des systèmes multi-porteuses sur canal sélectif en fréquence, 2007
- [15] Jean-Benoit Larouche, Implémentation d'une couche physique temps réel MIMO-OFDM sur FPGA, 2014
- [16] V. Tarokh, N. Seshadri et A.R. Calderbank, « Space-time codes for high data rate wireless communications : performance criteria and code construction ». IEEE Transactions on Information Theory, vol. 44, pages 744–765, Mars 1998.
- [17] E. Telatar, « Capacity of multi-antenna gaussian channels ». Bell Labs, Tech. Rep., June 1995.

- [18] E. Telatar, "Capacity of multi-antenna Gaussian channels," AT&T-Bell Labs Internal Tech. Memo., June 1995.
- [19] H. Bolcskei, D. Gesbert et A.J. Paulraj, « On the capacity of OFDM-based spatial multiplexing systems ». *Communications, IEEE Transactions on*, vol. 50,no2, pages 225–234, Feb. 2002.
- [20] I. E. Telatar, Capacity of multi-antenna gaussian channels, *European Transactions on Telecommunications*, vol. 10, no. 6, 585-595,Nov. 1999.
- [21] Aliou DIALLO, Systèmes multi-antennes pour diversité et MIMO, Novembre 2007
- [22] Traveset, J.V., Caire, G., Biglieri, E., and Taricco, G. (1997) Impact of diversity reception on fading channels with coded modulation–Part I: coherent detection. *IEEE Trans. Commun.*, 45(5), 563–572.
- [23] S.M.Alamouti, « A simple transmit diversity technique for wireless communications ». *Selected Areas in Communications, IEEE Journal on*, vol. 16, no8,pages 1451–1458, Oct 1998.
- [24] V. Tarokh, N. Seshadri et A. R. Calderbank, « Space-Time Codes for High Data Rate Wireless Communications : Performance criterion and Code Construction ». *IEEE Transactions on Information Theory*, vol. 44, no2, pages 744–765, 1998.
- [25] Zhan Guo et Peter Nilsson, « VLSI implementation issues of lattice decoders for MIMO systems. ». In *ISCAS (4)*, pages 477–480, 2004.
- [26]V. Tarokh, H. Jafarkhani, and A.R. Calderbank. Space-Time Block Codes from Orthogonal Designs. *IEEE Transactions on Information Theory*, 45(5) :1456–1467, July 1999.
- [27] S. M. Alamout i, "A simple transmit diversity technique for wireless communications," *IEEE Journal on Selected Areas in Communications*, vol. 16, pp. 1451-1458, 1998.
- [28] Hongzhi WANG , Architectures reconfigurables à base d’opérateur CORDIC pour le traitement du signal: Applications aux récepteurs MIMO, avril 2009
- [29] Y. Hongwei, "A road to future broadband wireless access: MIMO-OFDM Based air interface," *IEEE Communications Magazine*, vol. 43, pp. 53-60, 2005.
- [30] G. J. Foschini, « Layered space-time architecture for wireless communication in a fading environment when using multi-element antennas ». *Bell Labs Technical Journal*,pages 41–57, Autumn 1996.
- [31]P.W.Wolniansky, G.J.Foschini, G.D.Golden et R.A.Valenzuela, « VBLAST : an architecture for realizing very high data rates over the rich-scattering wireless channel ». 1998 *URSI International Symposium on Signals, Systems, and Electronics, ISSSE 98*, pages 295–300, 29 Sep-2 Oct 1998.
- [32] J. Mietzner, R. Schober, L. Lampe, W. H. Gerstacker, and P. A. Hoeher, "Multiple-antenna techniques for wireless communications - a comprehensive literature survey," *IEEE Communications Surveys & Tutorials*, vol. 11, pp. 87-105, 2009.
- [33] Gang Wang, Dandan Wang, Daoben Li, An efficient ZF-SIC detection algorithm in MIMO CDMA system, *PIMRC 2003. 14th IEEE Proceedings on*, Vol: 2

- [34] M.Bakulin ; V.Kreyndelin ; A.Rog ; D.Petrov ; S.Melnik, MMSE based K-best algorithm for efficient MIMO detection, IEEE, 2017 9th International Congress on ICUMT
- [35] Hassibi B & Vikalo H (2005) On the sphere-decoding algorithm I. expected complexity. IEEE Transactions on Signal Processing 53(8): 2806–2818.
- [36] A.Klein, G.K.Kaleh, P.W.Baier, Zero forcing and minimum mean-square-error equalization for multiuser detection in code-division multiple-access channels, IEEE, 276 - 287 · June 1996.
- [37] Z Luo, D Huang, General MMSE channel estimation for MIMO-OFDM systems, IEEE 68th Vehicular Technology, 2008
- [38] Damen MO, Gamal HE & Caire G (2003) On maximum-likelihood detection and the search for the closest lattice point. IEEE Transactions on Information Theory 49(10): 2389–2402.
- [39] B. Hassibi ;H. Vikalo, “on the sphere-decoding algorithm i. expected complexity”,IEEE (volume: 53 , issue: 8 , aug. 2005).
- [40] Athanasios A. Rontogiannis, Vassilis Kekatos Kostas Berberidis,” A Square-Root Adaptive V-BLAST Algorithm for Fast Time-Varying MIMO Channels”, 1-4244-0355-3/06/\$20.00 (c) 2006 IEEE.
- [41] M.Ogbi, M.Bouziani, B.R.Saddouki, Reconfigurable Architecture for detector ML, System MIMO, IOSR Journals, V-10, issue 5, Sep 2015
- [42] H. Bolcskei, MIMO-OFDM wireless systems: basics, perspectives, and challenges, IEEE, Volume: 13 , Issue: 4 , Aug. 2006

Chapitre 3

Description de l'Architectures Reconfigurables

Sommaire

3.1 Introduction.	28
3.2 L'évolutions des circuits programmables	29
3.3 Présentation et architecture des FPGA.	32
3.3.1 Les blocs logiques configurables (CLB)	33
3.3.2 Les blocs d'E/S configurables (IOB)	34
3.3.3 Les interconnexions programmables.	34
3.4 Les architectures reconfigurables	35
3.4.1 Caractéristiques des architectures reconfigurables.	36
3.4.2 Classification des architectures reconfigurables	38
3.4.2.1 Architectures reconfigurables à gros grain.	39
3.4.2.2 Architectures reconfigurables multi-grains.	40
3.4.2.3 Architectures reconfigurables à grain fin	41
4.5 Flot de conception d'un FPGA.	41
4.6 Conclusion.	42
Bibliographie.	44

3.1 Introduction :

L'évolution des systèmes de communication dans le domaine du traitement du signal et de l'image, notamment la 4^{ième} génération qui se présente comme une réponse à l'accroissance permanente de la diversité des standards et des applications demandées et supportées, elle demande des algorithmes de plus en plus complexes, nécessitant des puissances de calculs au-delà des performances des processeurs actuels. Pour réaliser une telle plate-forme qui est à base de ces systèmes, plusieurs types de processeurs sont disponibles (GPP/DSP/FPGA) [1].

- Les processeurs généralistes (general purpose processor -GPP-) qu'on les retrouve dans les ordinateurs grand public nécessitant une forte capacité de calcul [2].

- Les DSP (digital signal processor) sont des processeurs programmables dédiés au traitement du signal numérique [3]. Ils sont recommandés dans toutes les applications de calcul arithmétique (filtrage, FFT, convolution, MAC).
- Les FPGA (field programmable gate array) sont des composants numériques reprogrammables [4]. leur structure facilite les traitements en parallèle, ce qui est particulièrement adapté aux structures chaînées d'un système de communications, où tous les blocs travaillent en parallèle. Le choix du FPGA se fait lorsque les besoins en forte capacité de traitement sont requis.

L'implémentation des systèmes MIMO-OFDM et les algorithmes de détections sur DSP n'atteignent pas des performances élevées en débit. Des solutions sont proposées comme les architectures multiprocesseurs qui bénéficient de la souplesse de la programmation au prix d'un coût et d'un encombrement plus élevés. Aujourd'hui l'émergence d'un nouveau type d'architecture reconfigurable offre une solution intermédiaire où la flexibilité de la programmation et la puissance de calcul des architectures spécialisées sont alliées [1.5].

Les architectures reconfigurables, depuis l'apparition des FPGA au début des années 1980, sont devenues incontournables. Elles proposent une alternative attractive entre la grande flexibilité des solutions programmables et les hautes performances des circuits spécifiques. De plus, elles ont fait évoluer la conception des systèmes en profitant de leurs propriétés de reconfiguration et d'adaptabilité. Grâce à une communauté scientifique convaincue de leur intérêt, de nouveaux champs applicatifs (tel que la radio logicielle) se sont ouverts afin d'être en adéquation avec les propriétés de ces architectures [6].

Dans ce chapitre, nous décrivons dans un premier temps L'histoire des circuits programmables. Nous présentons des circuits intégrés reconfigurables de type FPGA et nous décrivons leur architecture interne. Ensuite nous allons d'écrire l'architecture reconfigurable pour les systèmes multi antennes-multi porteuses. Nous donnons en exemple des applications de l'architecture proposée, en particulier l'implémentation d'un FFT-IFFT. Enfin nous présentons le flot de conception de cette architecture.

3.2 L'évolutions des circuits programmables :

L'électronique numérique prend quant à elle une part de plus en plus importante dans le domaine plus large de l'électronique. Pour réaliser des systèmes embarqués, les concepteurs ont longtemps disposé d'un choix réduit à deux possibilités. Ils pouvaient mettre en œuvre un système programmé via un microprocesseur ou alors ils devaient se lancer dans la complexe réalisation d'un circuit spécifique à l'application développée (ASIC, Application Specific Integrated Circuit). Cependant, depuis quelques années une autre possibilité s'offre à eux, les circuits

reconfigurables. Ces derniers correspondent à des circuits matériels dont l'architecture est configurable en fonction de l'application à développer. L'utilisation de ces derniers au sein des systèmes embarqués résulte d'un processus d'évolution et d'innovation relativement long puisque s'étalant sur plusieurs dizaines d'années [7-8].

Les ambassadeurs de ces circuits sont les FPGA (Field Programmable Gate Array), circuits commerciaux reconfigurables. En 1984 la société américaine Xilinx fut précurseur du domaine en lançant le premier circuit FPGA commercial, le XC2000. Ce composant avait une capacité maximum de 1500 portes logiques. La technologie utilisée était alors une technologie aluminium à 2µm avec 2 niveaux de métallisation. Xilinx sera suivi un peu plus tard, et jamais lâché, par son plus sérieux concurrent Altera qui lança en 1992 la famille de FPGA FLEX 8000 dont la capacité maximum atteignait 15 000 portes logiques.

Depuis les années 2000, des évolutions majeures ont été apportées. Tout d'abord les technologies cuivrées utilisées pour les FPGA sont les mêmes que celles utilisées pour les ASIC. Ces technologies étaient des technologies CMOS 0,15µm avec 8 niveaux de métallisation. La figure (3.1) montre cette évolution de technologies.

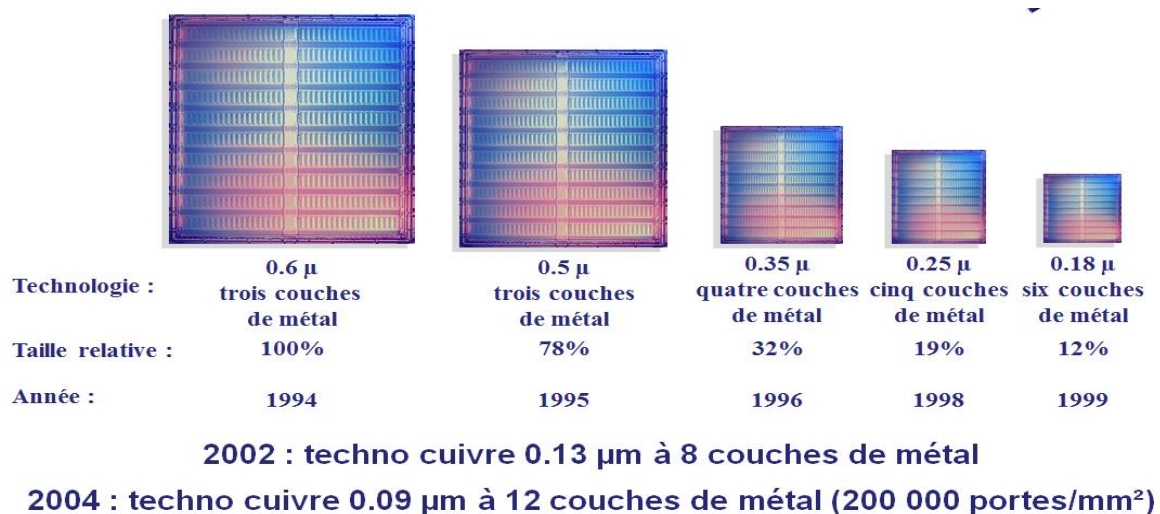


Figure (3.1) l'évolution de technologies cuivrées utilisées pour les FPGA

En 2000 et 2001 les deux concurrents Xilinx et Altera ont franchi une nouvelle étape au niveau de la densité d'intégration en sortant respectivement leurs circuits Virtex et Apex-II dont les capacités maximums avoisinaient les 4 millions de portes logiques. La figure (3.2) met en évidence qu'à partir des années 2000 les capacités des FPGA ont permis d'offrir aux concepteurs une solution supplémentaire de réalisation pour une majorité d'applications avec des vitesses de fonctionnement convenables[9-7].

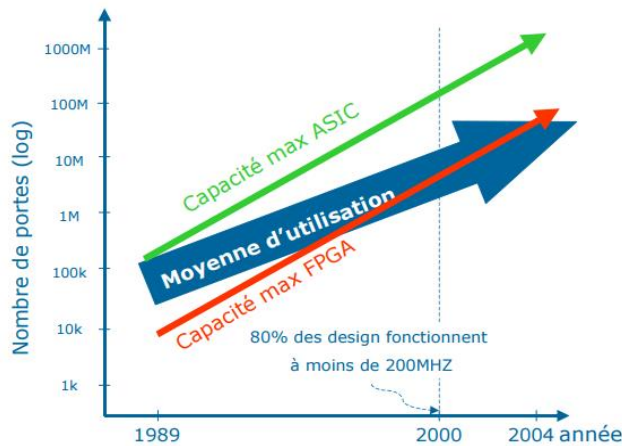


Figure (3.2) Comparaison de capacité des composants ASIC et FPGA par rapport aux besoins moyens des applications.

Dans un contexte économique, les FPGA apparaissent comme une solution flexible bien adaptée aux contraintes économiques telles que le temps de mise sur le marché et le potentiel d'évolution ou de flexibilité des produits. La figure (3.3) montre que le nombre de circuits fabriqués à partir duquel la solution ASIC est économiquement plus rentable (point de cross-over) tend à augmenter avec l'évolution des technologies. Par exemple, avec la technologie utilisée en 2003 (90 nm) la solution ASIC est intéressante à partir d'environ un million de circuits à fabriquer (et donc à vendre). Les solutions FPGA sont donc de plus en plus intéressantes tant d'un point de vue technique qu'économique [7-8-9-10].

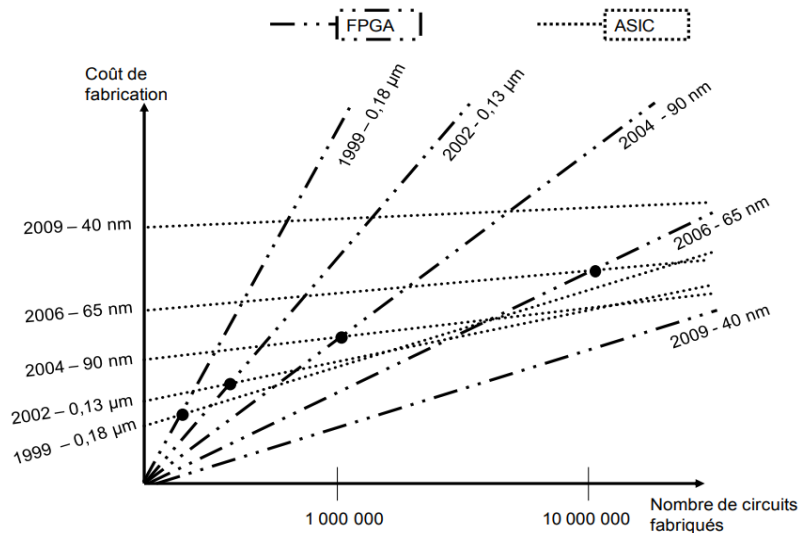


Figure (3.3) Modèle de coûts pour les composants ASIC et FPGA en fonction de la technologie utilisée.

La suite de ce chapitre présente les architectures classiques de FPGA, ainsi que les éléments configurables que l'on trouve dans ces circuits.

3.3 Présentation et architecture des FPGA :

Les Field Programmable Gate Arrays (FPGAs) ont été développés depuis 1980. Grâce à l'évolution technologique ces circuits n'ont cessé de se développer et de nombreux fabricants se sont depuis lancés dans la fabrication de FPGAs (Xilinx, Altera, Actel...).

Un FPGA peut maintenant contenir plusieurs millions de portes logiques [11-12]. Ces circuits sont composés d'éléments logiques interconnectés entre eux par des ressources de routage. La particularité d'un FPGA vient de sa reconfigurabilité. Les éléments logiques ainsi que le réseau d'interconnexion peuvent être reconfigurés dans le but de supporter une autre application. En effet, les FPGAs sont composés de blocs mémoire qui permettent de configurer et de figer la fonctionnalité du circuit.

Il existe actuellement plusieurs fabricants de circuits FPGA et plusieurs technologies et principes organisationnels. L'architecture, retenue par Xilinx, se présente sous forme de deux couches Figure (3.4):

- Une couche de configuration.
- Une couche de réseau mémoire SRAM.

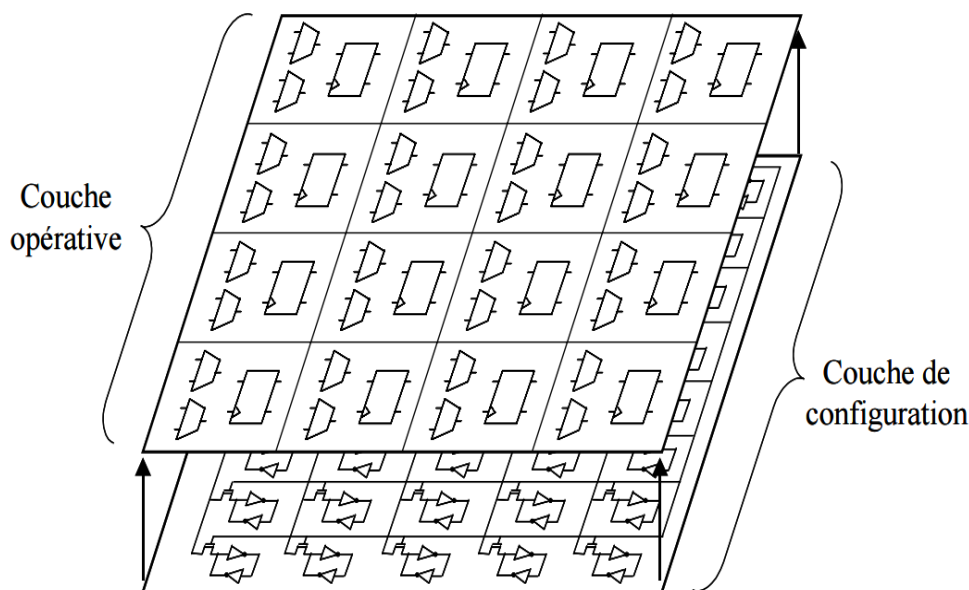


Figure (3.4) L'architecture d'un FPGA sous forme de deux couches

La couche de configuration est constituée d'une matrice de blocs logiques configurables CLB permettant de réaliser des fonctions combinatoires et des fonctions séquentielles. Tout autour de ces blocs logiques configurables, nous trouvons des blocs entrées/sorties IOB dont le rôle est de gérer les entrées-sorties réalisant l'interface avec les modules extérieurs (figure (3.5)). La programmation du circuit FPGA appelé aussi LCA (logic cells arrays) consistera par le biais de l'application d'un potentiel adéquat sur la grille de certains transistors à effet de

champ à interconnecter les éléments des CLB et des IOB afin de réaliser les fonctions souhaitées et d'assurer la propagation des signaux. Ces potentiels sont tout simplement mémorisés dans le réseau mémoire SRAM.

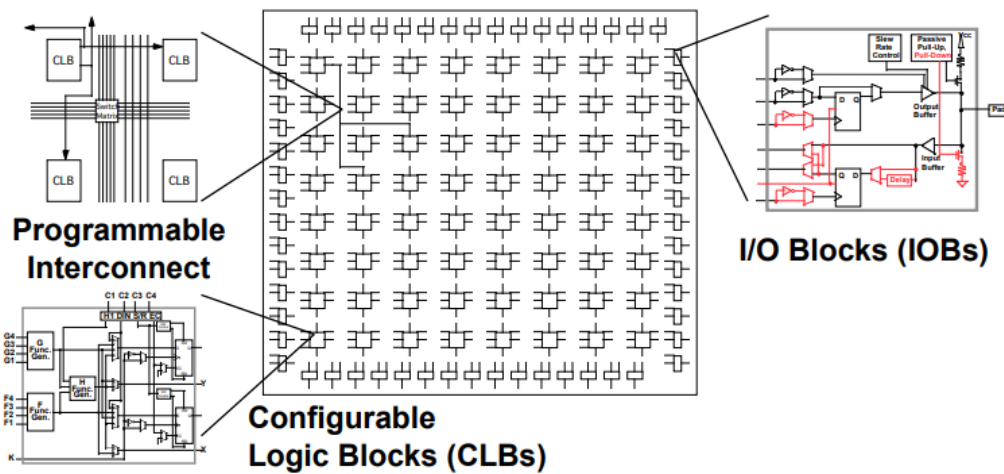


Figure (3.5) Architecture interne d'un FPGA

3.3.1 Les blocs logiques configurables (CLB) :

Les blocs logiques configurables sont les éléments déterminants des performances du FPGA. Chaque bloc est composé d'un bloc de logique combinatoire composé de deux générateurs de fonctions à quatre entrées et d'un bloc de mémorisation synchronisation composé de deux bascules D. Quatre autres entrées permettent d'effectuer les connexions internes entre les différents éléments du CLB. La figure (3.6), nous montre le schéma d'un CLB.

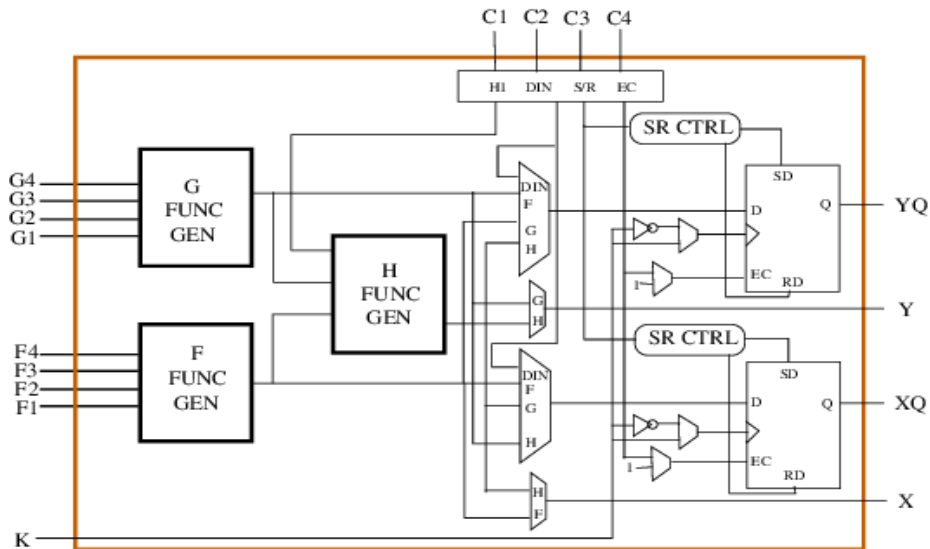


Figure (3.6) Bloc logique configurable d'un FPGA Xilinx

3.3.2 Les blocs d'E/S configurables (IOB) :

La figure (3.7) présente la structure de ce bloc. Ces blocs entrée/sortie permettent l'interface entre les broches du composant FPGA et la logique interne développée à l'intérieur du composant. Ils sont présents sur toute la périphérie du circuit FPGA. Chaque bloc IOB contrôle une broche du composant et il peut être défini en entrée, en sortie, en signaux bidirectionnels ou être inutilisé (haute impédance).

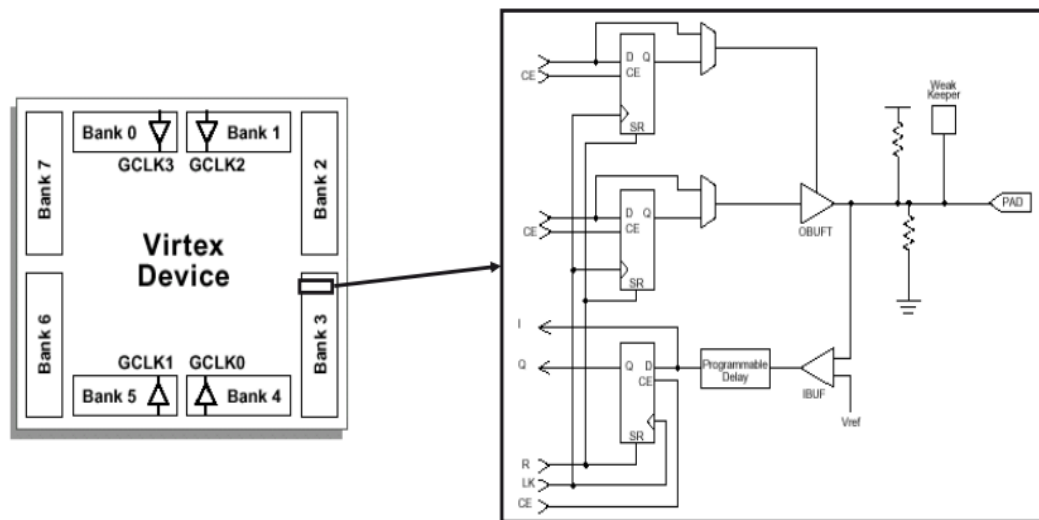


Figure (3.7) Bloc d'E/S configurable FPGA (Xilinx vertex)

3.3.3 Les interconnexions programmables :

Sur la figure (3.8), une hiérarchie des ressources d'interconnexion peut être vue. Il existe de longues lignes qui peuvent être utilisées pour connecter des CLB critiques physiquement éloignés les uns des autres sur la puce sans induire beaucoup de retard. Ces longues lignes peuvent également être utilisées comme bus dans la puce.

Les tampons à trois états permettent de connecter plusieurs CLB à une longue ligne, créant ainsi un bus. Des lignes longues spéciales, appelées lignes d'horloge globale, sont spécialement conçues pour une faible impédance et donc des temps de propagation rapides. Ceux-ci sont connectés aux tampons d'horloge et à chaque élément cadencé dans chaque CLB. C'est ainsi que les horloges sont réparties dans le FPGA, ce qui garantit un décalage minimum entre les signaux d'horloge arrivant à différentes bascules dans la puce.

Dans un ASIC, la majorité du retard provient de la logique de la conception, car la logique est connectée à des lignes métalliques qui présentent un faible retard. Dans une FPGA, toutefois, la plupart des retards dans la puce proviennent de l'interconnexion, car celle-ci - comme la logique - est fixée sur la puce. Pour connecter un CLB à un autre dans une partie différente de la puce, il faut souvent établir une connexion via de nombreux transistors et matrices de commutation, chacun introduisant un retard supplémentaire.

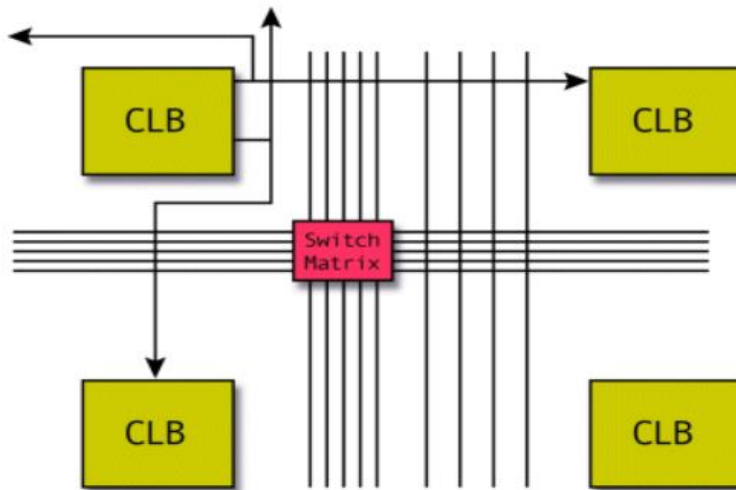


Figure (3.8) Interconnexion programmable de FPGA (Xilinx vertex)

3.4 Les architectures reconfigurables :

Depuis quelques années, les progrès technologiques réalisés ont permis l'émergence d'un nouveau type d'architectures : les architectures reconfigurables. L'idée de base de ces architectures est d'offrir aux concepteurs la flexibilité d'une architecture programmable et les performances temporelles d'un circuit dédié. Les architectures reconfigurables représentent un nouveau choix dans le processus de conception et d'implémentation d'applications complexes. Ces architectures offrent des opportunités pour la prise en compte de la consommation dans le cycle de conception. Bien que récente dans le domaine du reconfigurable, cette contrainte est intégrée dans les nouvelles recherches à tous les niveaux de la conception (optimisations architecturales, logiques et technologiques) [13].

Il est facile d'associer architectures reconfigurables et FPGA, cependant ceci réduit considérablement l'espace de conception de ces architectures. L'étude sémantique du mot reconfigurable en donne une définition plus précise. En effet, configuration : signifie à l'origine façonner à la ressemblance de et a pris le sens de disposition relative d'éléments.

Une architecture est constituée d'une disposition relative d'éléments organisés selon un certain schéma. La reconfiguration : en permettant un choix des éléments d'une part, et de leur disposition relative d'autre part, autorise une variabilité des schémas et donc des architectures. Cette définition recouvre alors un large ensemble d'architectures dont les FPGAs font partis.

La reconfiguration consiste donc à spécifier les opérations et les interconnexions de cet ensemble de ressources, que l'on nomme couche opératoire. Cette reconfiguration est effectuée dans une couche supérieure (dite couche de reconfiguration) construite autour de points de mémorisation statique.

3.4.1 Caractéristiques des architectures reconfigurables :

Cinq caractéristiques essentielles des architectures reconfigurables peuvent être définies : la granularité des ressources de traitement, la granularité des ressources de communication (échanges de données), la topologie du réseau de communication, la liaison avec un éventuel processeur (pouvant faire partie de la même puce) et le type de reconfiguration.

- **granularité des ressources de traitement** : sont des petites mémoires que l'on retrouve dans tous les FPGA, elles sont capables de réaliser n'importe quelles fonctions booléennes des entrées. elles correspondent à des ressources logiques le plus souvent de type LUT (Look Up Table), ou tables de scrutation.
- **La granularité des ressources de communication** : sont des dispositifs de communication offrant une connectivité complète, c'est à dire qu'ils permettent la connexion de tous les communicants qui leur sont reliés. cette solution est la plus souvent utilisée car elle propose un compromis intéressant entre la flexibilité des communications et la surface occupée. La figure (3.9) montre un schéma de connexions à bus, le nombre de bus à choisir correspond au nombre maximum d'interconnexions qui peuvent être réalisées de façon concurrente. [6-14].

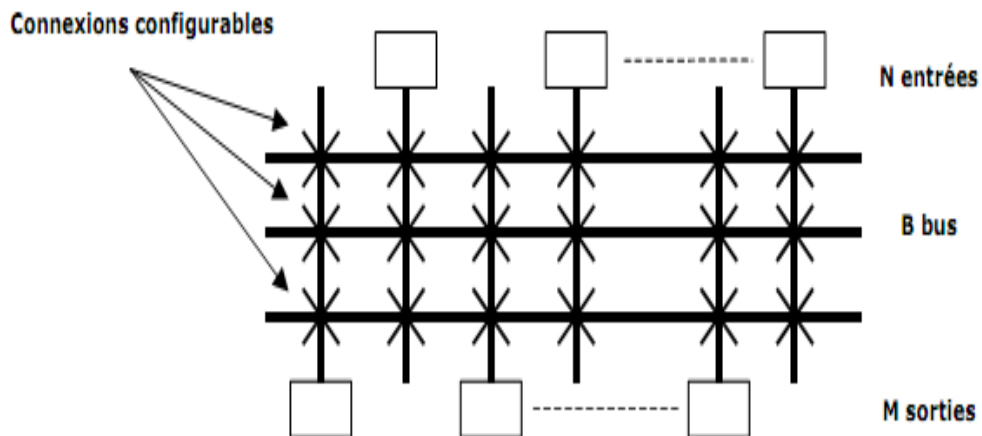


Figure (3.9) Schéma de connexions à bus

- **La topologie du réseau de communication** : décrit comment les lignes de communication (bus ou canaux de fil) sont disposées dans l'architecture et comment les éléments de connexion sont agencés. La figure (3.10) montre par exemple une topologie de type matricielle, les éléments à connecter sont disposés sous forme de matrice, les connexions sont verticales et horizontales.

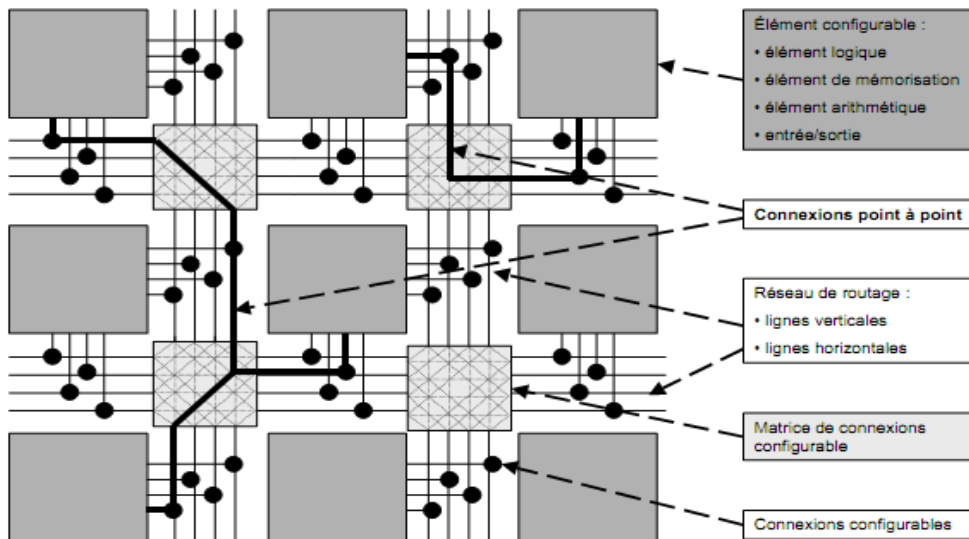


Figure (3.10) Exemple d'architecture reconfigurable utilisant une connexion point à point filaire

- **La liaison avec le microprocesseur :** Les processeurs n'ont pas été développés pour faire du calcul arithmétique parallèle intensif (bien que les processeurs spécialisés comme les DSP puissent être efficaces dans ce sens). Les architectures matérielles et reconfigurables sont bien adaptées à traiter massivement et parallèlement les calculs arithmétiques, particulièrement en profitant du parallélisme potentiel de ces calculs. La partie reconfigurable peut être couplée avec le processeur comme un périphérique, les échanges de données se faisant donc via une interface (parallèle ou série) qui gère les communications [15].
- **La reconfiguration :** peut prendre différentes formes, que ce soit pour reconfigurer les ressources opératoires ou que ce soit pour reconfigurer les réseaux de communication. Elle peut être mise en œuvre de plusieurs façons au cours de l'exécution de l'application. Du point de vue matériel, cela se traduit par la reconfiguration du processeur embarqué à chaque changement de standard. Pour y arriver, deux approches sont envisageables, fortement liées aux choix et aux contraintes du matériel : l'approche statique et l'approche dynamiquement.

La reconfiguration dynamique est définie par le fait de reconfigurer une partie d'un système pendant que le reste de l'application continue à tourner, contrairement à la notion de reconfiguration statique qui implique l'arrêt complet de l'application. La notion de reconfiguration dynamique est liée à la caractéristique de reconfiguration partielle du FPGA dans le cas où l'application s'effectue sur un seul FPGA. Ce qui permet de réduire le temps de configuration tout en donnant une

souplesse accrue au système [1-15]. Nous avons distingué plusieurs cas de mise en œuvre de la reconfiguration dynamique illustrée par la figure (3.11).

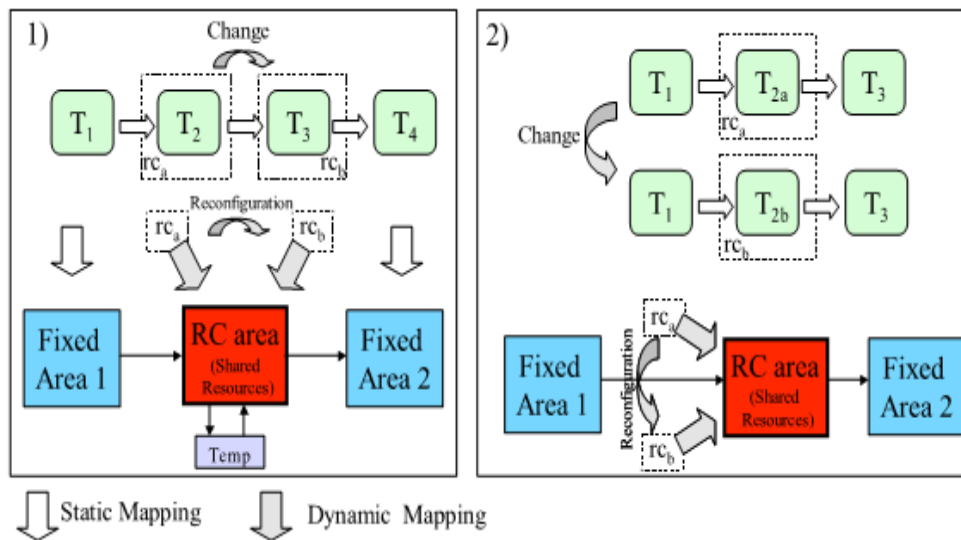


Figure (3.11) partage de ressources par la reconfiguration

3.4.2 Classification des architectures reconfigurables :

La classification des architectures reconfigurables se base d'abord sur la granularité des ressources de traitement. La séparation des architectures se fait suivant trois branches : grain fin (ressources de traitement de type LUT), gros grain (ressources de traitement de type ALU). Enfin multi-grains (mélangeant cœurs de processeurs, matrices d'ALU et/ou de LUT). Chacune des branches grain fin et gros grain se divise en fonction de la topologie du réseau de communication. La figure (3.12) présente la classification des architectures reconfigurables [6-13].

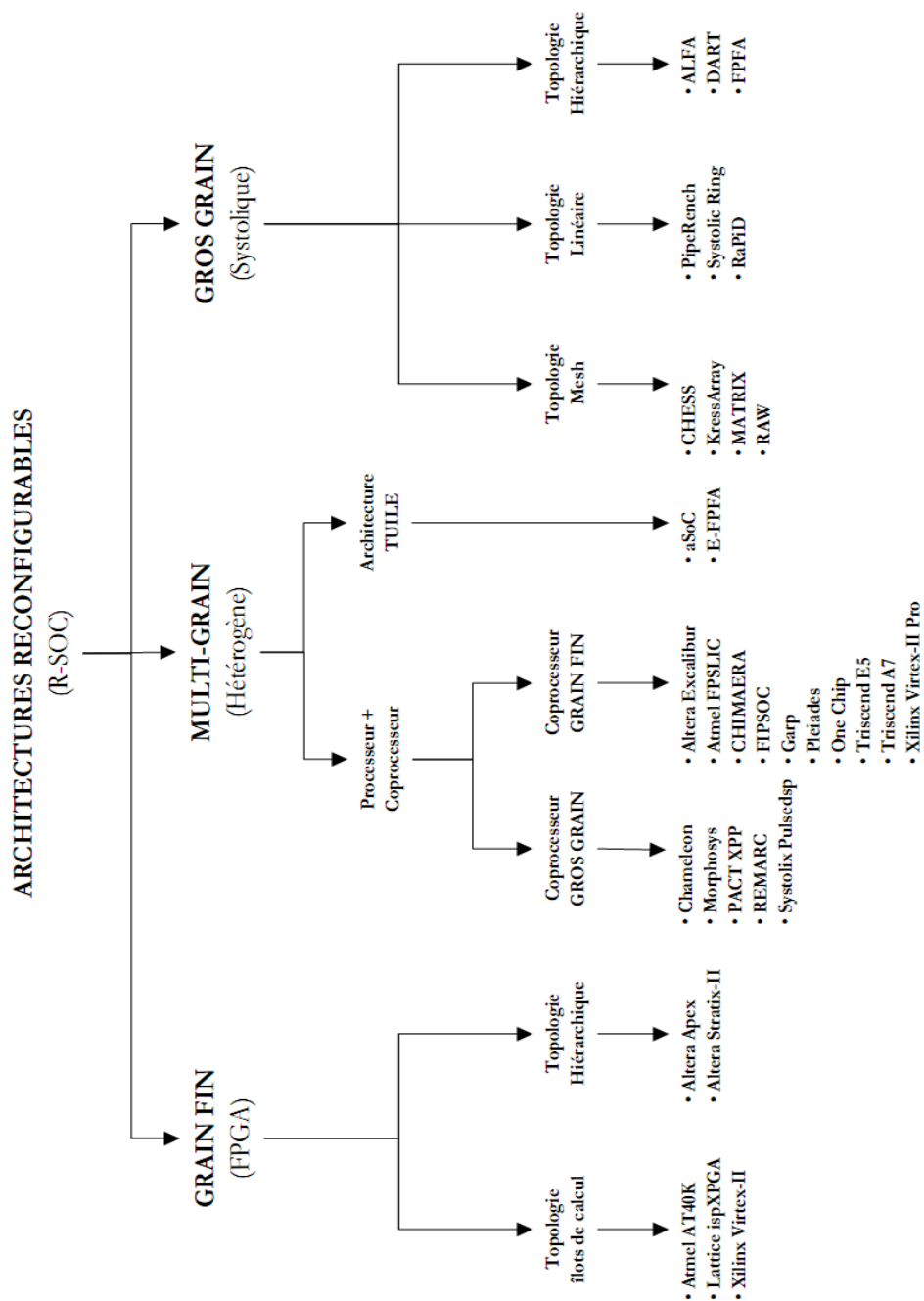


Figure (3.12) classification des architectures reconfigurables

3.4.2.1 Architectures reconfigurables à gros grain :

C'est une architecture reconfigurable dynamiquement pour les applications mobiles, dont la structure est hiérarchique. Elle est développée par le laboratoire LASTI de l'ENSSAT à Lannion. Elle est composée d'un contrôleur de tâches qui est chargé d'assigner aux clusters hiérarchiques les différents traitements devant être

exécutés. Donc ce contrôleur gère la configuration des clusters. Une fois configurés les clusters sont autonomes. Sur la figure (3.13) qui montre cette architecture,

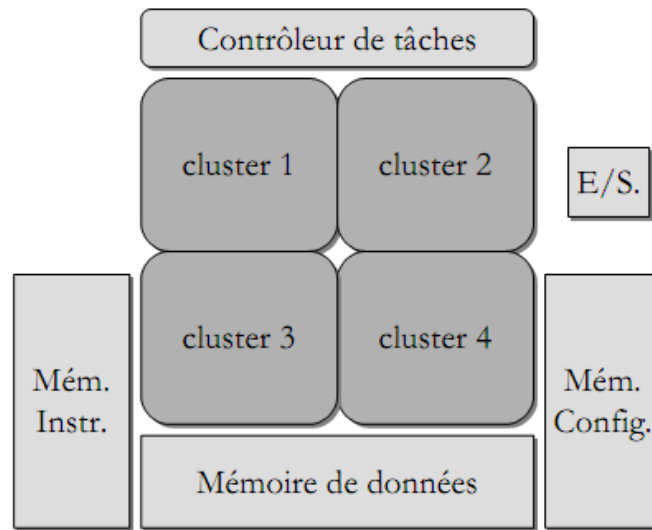


Figure (3.13) Architectures reconfigurables à gros grain

3.4.2.2 Architectures reconfigurables multi-grains :

Cette architecture reconfigurable est développée par le laboratoire VLSI Signal Processing Group (VLSI-SPG), elle est hautement hétérogène puisqu'elle est constituée de tuiles qui peuvent être de granularités très différentes. Par exemple la figure (3.14) montre cette architecture avec des cœurs câblés pour des traitements et des cœurs configurables du type grain fin FPGA. Elle est particulièrement adaptée aux applications de traitement du signal, des applications de traitement d'images [16-17]. Un prototype de l'interface de communication a été réalisé en technologie 0,18 μm pour une fréquence de fonctionnement de 400 MHz.

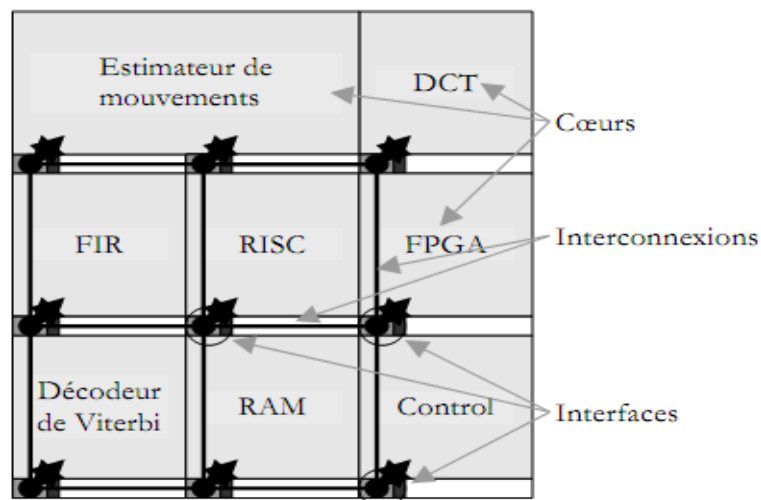


Figure (3.14) architecture reconfigurable à multi-grains

3.4.2.3 Architectures reconfigurables à grain fin :

Dans le cas des FPGA développés par les sociétés Xilinx et Altera, et dans la plupart des cas, l'élément configurable de base se compose d'une LUT à 4 entrées, d'une chaîne de propagation rapide de la retenue et d'un registre de sortie afin d'assurer la synchronisation des signaux comme on le voit sur la figure (3.15).

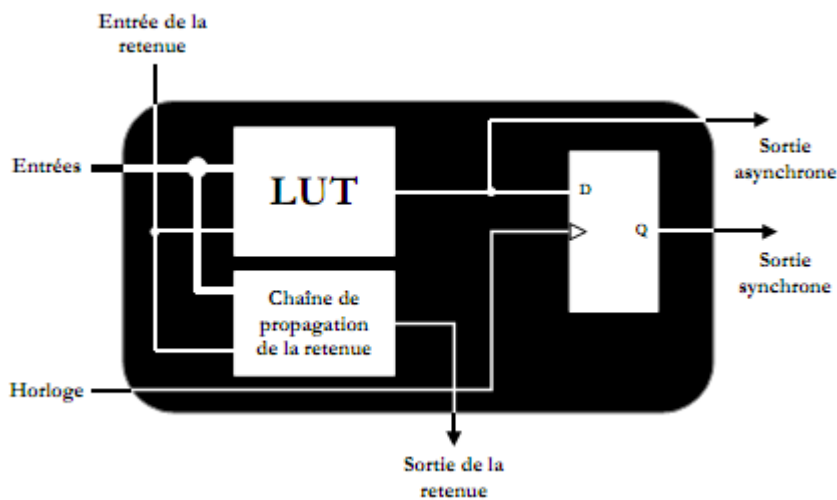


Figure (3.15) Élément configurable de base des FPGA

Concernant les types d'applications adaptées aux FPGA, ces derniers sont particulièrement efficaces pour traiter des opérations sur les bits, ce qui correspond à certaines applications de codage canal en télécommunication et aux applications de la cryptographie. Dans ce dernier cas la reconfigurabilité des FPGA leur permet de proposer des systèmes flexibles particulièrement adaptés aux évolutions des algorithmes et des architectures des cœurs de cryptage et décryptage.

4.5 Flot de conception d'un FPGA :

Il existe de nombreux outils et flots de conception permettant de mettre en œuvre la reconfiguration dynamique sur FPGA. Parmi ces flots, Xilinx a proposé Le premier flot qu'est nommé "Module-Based Partial Reconfiguration". Il est basé sur une méthodologie de conception modulaire proposée par Xilinx, appelée "Modular Design".

Le flot "Module-Based Partial Reconfiguration" permet de placer et router chaque module indépendamment, dans des zones prédéfinies à l'avance par des contraintes de surface. Les modules reconfigurables sont identifiés au moment de la création de ces contraintes et sont ensuite placés et routés [18].

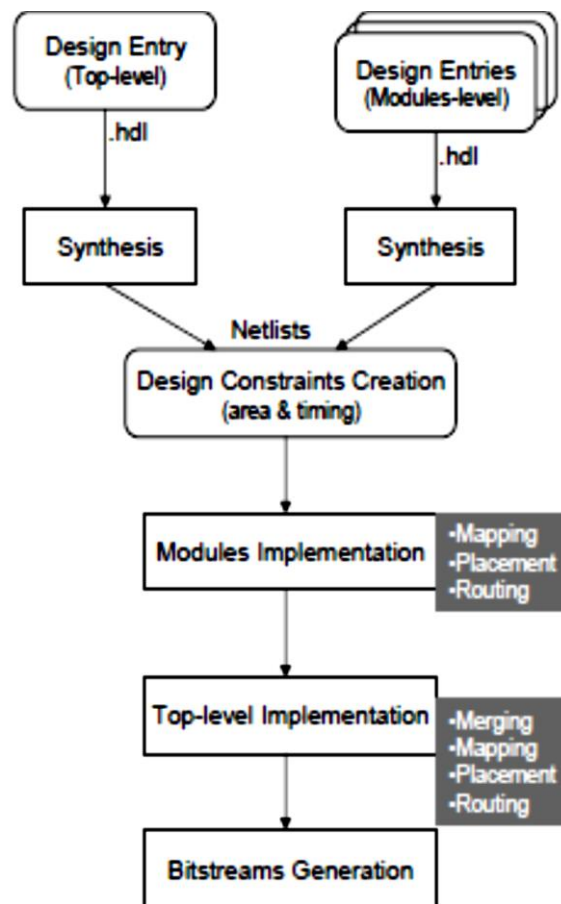


Figure (3.16) flot de conception du FPGA

4.6 Conclusion :

Cette partie nous a permis de présenter les méthodologies de conception concernant l'architecture des composants de traitement reconfigurables pour les applications des systèmes de communication sans fil. La reconfiguration partielle de FPGA est notamment adoptée afin de limiter la surcharge imposée par la reconfiguration en terme de temps d'adaptation, de mémoire occupée u même de bande occupée. Ainsi que les gestions de reconfiguration du FPGA et la mise en place des connexions entre la partie fixe et la partie reconfigurable. Nous avons distingué plusieurs types d'architecture reconfigurable et leurs d'application dans le domaine de traitement signal, ainsi Nous avons distingué deux types de reconfiguration partielle en fonction de la dépendance des données entre les reconfigurations.

Nous avons vu que le flot de conception joue un rôle important pour tirer profit des capacités de reconfiguration des FPGA. Nos approches de conception reconfigurable visent à apporter principalement une flexibilité aux applications

multistandard. Elles sont validées par des implémentations sur FPGA de fonctions de traitement du signal.

Bibliographie :

- [1] Hongzhi WANG, Architectures reconfigurables à base d'opérateur CORDIC pour le traitement du signal: Applications aux récepteurs MIMO, thèse 2009.
- [2] Cour de l'ENSICAEN, Architecture et technologie des ordinateurs, Nov 2015
- [3] Livre de JOHN WILEY & SONS, Digital Signal Processing and Applications with the C6713 and C6416 DSK, 2005
- [4] Livre de John Wiley & Sons, Advanced FPGA design: Architecture, Implementation, and Optimization, IEEE 2007
- [5] Christophe LE GUELLAUT, Prototypage d'un système MIMO-MC-CDMA sur Plate-forme hétérogène, thèse sep 2009
- [6] M. Lilian BOSSUET, Exploration de l'Espace de Conception des Architectures Reconfigurables, Thèse Septembre 2004.
- [7] Lilian BOSSUET, Les FPGA Technologie, architecture et utilisation, Cours de l'ENSEIRB 2010.
- [8] Lionel TORRES. Les Circuits Reconfigurables, Passé, Présent, Futur, cour Mars 2005
- [9] Debyo Saptono, Conception d'un outil de prototypage rapide sur le FPGA pour des applications de traitement d'images, Thèse Jun2012
- [10] Zouha Cherif, Jean-Luc Danger, Lilian Bossuet, Evaluation of Delays PUFs on CMOS 65 nm Technology: ASIC vs FPGA, Conference Paper · June 2013
- [11] Jean-Max DUTERTRE, Circuits Reconfigurables Robustes, thèse oct 2002
- [12] Adrien Blanchardon, Synthèse d'architectures de circuits FPGA tolérants aux défauts, thèse jan 2016
- [13] S.Pillement, R.David, O.Sentieys, Architectures reconfigurables : opportunités pour la faible consommation, 21 May 2014.56
- [14] H. Zhang, M. Wan, V. George, J. Rabaey. Interconnect Architecture Exploration for Low-Energy Reconfigurable Single-Chip DSPs. In IEEE Computer Society Workshop on VLSI, April 1999.
- [15] Jean-Philippe.D, plate-forme hétérogène reconfigurable : application à la radio -logicielle, thèse Avr 2007.
- [16] W. Burleson, R. Tessier, D. Goeckel, S Swaminathan, P. Jain, J Euh, S. Venkatraman, V. Thyagarajan. Dynamically Parameterized Algorithms and Architectures to Exploit Signal Variations for Improved Performance and Reduced Power. In International Conference on Acoustic, Speech, and Signal Processing, ICASSP 01, 2001.
- [17] W. Burleson, P. Jain, S. Venkatraman. Dynamically Parameterized Architecture for Power-Aware Video Coding Motion Estimation and DCT. Second USF International Workshop on Digital Computational Video, DCV 01, 2001.

[18] Sébastien Le Beux, Un flot de conception pour applications de traitement du signal systématique implémentées sur FPGA à base d'Ingénierie Dirigée par les Modèles, Thèse Nov 2010

Chapitre 4

Implémentation du système MIMO-OFDM

Sommaire

4.1 Introduction	46
4.2 Structure de base de modulateur OFDM	47
4.2.1 Transmetteur OFDM	48
4.2.2 Récepteur OFDM	48
4.2.3 paramètres de simulation	48
4.3 Les modules de la modulateur OFDM ..	50
4.3.1 FFT et IFFT	51
4.3.2 Opérations de TDD	511
4.3.3 Opérations de FDD	52
4.3.4 Configuration de MIMO	54
4.4 Implémentation de la modulation OFDM	54
4.4.1 Préfixe cyclique et bit d'inversion	55
4.4.2 Traitement pré-FFT	56
4.4.3 Schémas d'horloge	56
4.4.4 Paramètres de simulation et résultats	57
4.5 Implémentation de l'algorithme MIMO	61
4.6 Conclusion	64
Bibliographie	65

4.1 Introduction :

La majorité des réseaux locaux sans fil actuels et les futurs réseaux mobiles font appel à de la transmission multi-antenne MIMO et multi-porteuse OFDM, reposant elle-même sur un traitement numérique par transformée de Fourier rapide (FFT).de plus, ce système a besoin d'une architecture reconfigurable de circuits intégrés, très haut débit et multi-standard. Ces architectures visent à développer à la fois des puissances de calculs plus élevées pour répondre aux exigences de débit, ainsi que des capacités de reconfiguration pour des applications multi-standard [1].

Ce chapitre est consacré à la description détaillée d'une couche physique implémentée sur une plateforme FPGA. Cette conception intègre les techniques MIMO-OFDM qui présentent dans les standards de télécommunication de dernière génération d'aujourd'hui. D'une part une implémentation de modulateur OFDM, et d'autre part une implémentation de l'algorithme MIMO.

L'architecture de la couche physique présente les travaux de prototypage sur plateforme FPGA ainsi que les résultats obtenus. Cette architecture proposée a d'abord été codée en langage VHDL et simulée afin de vérifier le bon fonctionnement du modulateur à différentes étapes du prototypage et ainsi valider l'architecture proposée. Nous introduisons une architecture optimisée pour la modulation OFDM avancée pour des communications large bande et multi standard. Elle permet de réaliser une modulation et démodulateur OFDM classique qui consiste en une IFFT/FFT [2]. La solution proposée est une architecture à base de mémoires qui exploite une stratégie de réutilisation des ressources et combine deux architecture reconfigurable gros grains et à grains fins. En plus, elle utilise une approche en pipeline dans le traitement des données afin d'augmenter le multiplexage spatial permettant ainsi de traiter un plus grand nombre de données à la fois. Elle permet avec les mêmes ressources du circuit, de réaliser soit une FFT [2-3].

Plusieurs outils et langages comme Matlab sont couramment utilisés dans la communauté. Ce langage permet de modéliser et tester la fonctionnalité d'un système décrit dans un langage commun (Matlab). Néanmoins, un ou plusieurs outils supplémentaires sont nécessaires afin de concevoir le circuit réel sur FPGA. Des outils comme Modelsim [4] et Qaurtus II [5], respectivement de Xilinx et Altera, sont des actuellement intégrés dans l'environnement Matlab. Ils permettent la génération de code HDL à partir d'une description graphique sous Simulink (utilitaire de Matlab). Le code HDL généré peut alors être traduit en une netlist puis en bitstream par l'intermédiaire de la réalisation du flot de conception classique [6].

4.2 Structure de base de modulateur OFDM :

Sur la figure (4.1) est décrite la chaîne SISO-OFDM qui a été réalisée sur MATLAB Simulink. Cette chaîne est un exemple typique de système de communications numériques sans fil basé sur la modulation OFDM.

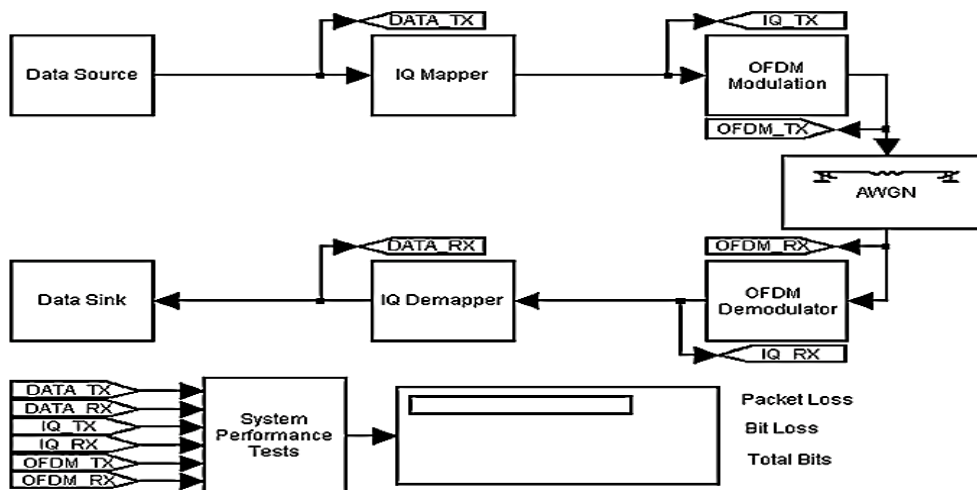


Figure (4.1) structure du système OFDM

4.2.1 Transmetteur OFDM :

L'émetteur est composé d'une source permettant de délivrer les bits d'information à transmettre. Les données binaires sont envoyées au modulateur M-QAM. Ce modulateur permet la réalisation des modulations QPSK, 16-QAM et 64-QAM. Il permet d'effectuer le mapping de mots binaires (groupes de bits) en symboles I/Q complexes représentatifs d'une constellation. Ensuite, la modulation OFDM est réalisée à l'aide d'un bloc IFFT ainsi que l'insertion du préfixe cyclique [7].

4.2.2 Récepteur OFDM :

Le récepteur réalise les opérations duales. Tout d'abord, le préfixe cyclique est retiré.

Une FFT est ensuite effectuée pour démoduler les symboles OFDM. L'estimation de canal est ensuite réalisée afin de déterminer la réponse fréquentielle du canal sur chaque sous-porteuse. Les données sont ensuite égalisées et une démodulation des symboles M-QAM est effectuée afin de retrouver l'information binaire.

4.2.3 paramètres de simulation :

En cette sous-section, la boîte à outils de MATLAB Simulink a été utilisée en simulant l'exécution d'un système d'OFDM. Table (4.1) résume les paramètres de ce système. Les résultats de simulation ont été affichés dans l'ensemble de figures (4.2-3-4).

type de données	binaire de distribution de Bernoulli
puissance de signal d'entrée	0.01W
Temps de prélèvement	1 μ s
Taille de vue	660 bits/armature
Type de modulation	QPSK-4-QAM -16-QAM -64-QAM
Largeur de bande	1MHz
largeur de bande après IFFT	250 KHz

Table (4.1) paramètres de simulation

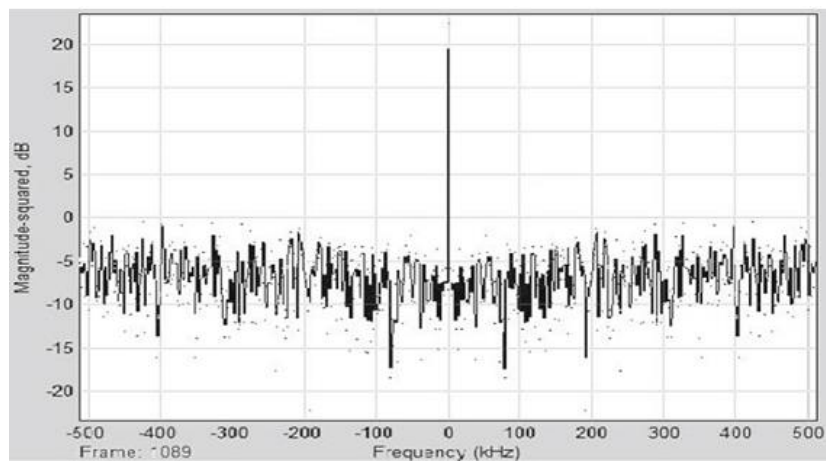


Figure (4.2) La bande passante occupée

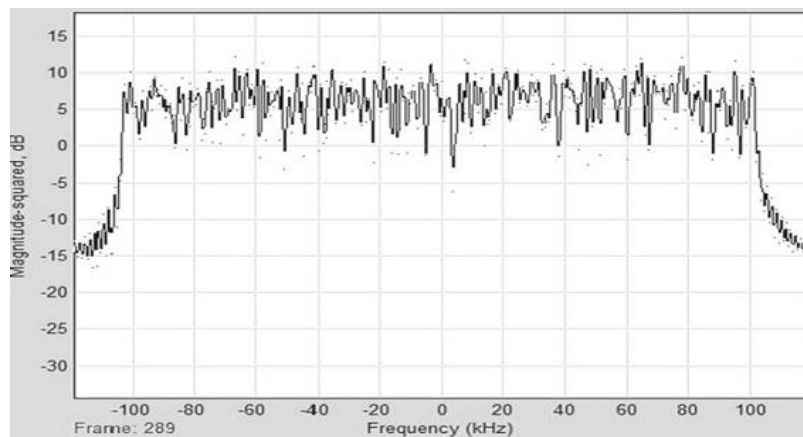


Figure (4.3) puissance spectral du signal IFFT

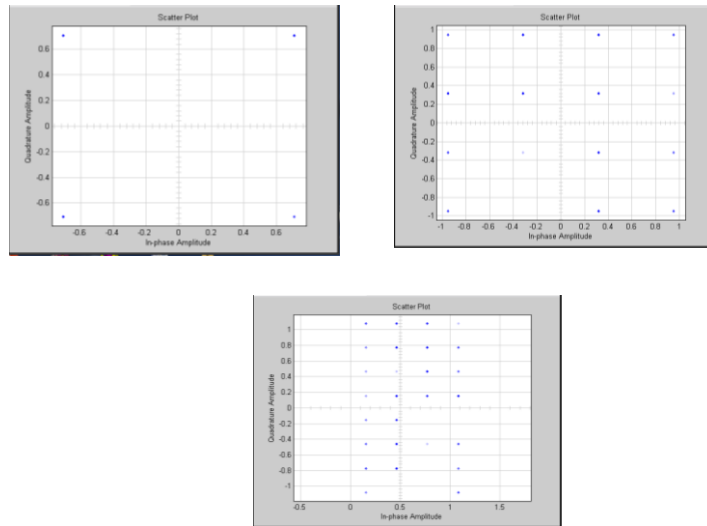


Figure (4.4) constellation des modulations QPSK, 16-QAM et 64-QAM

Le BER par rapport SNR pour différents modulation est montré dans la figure (4.5).

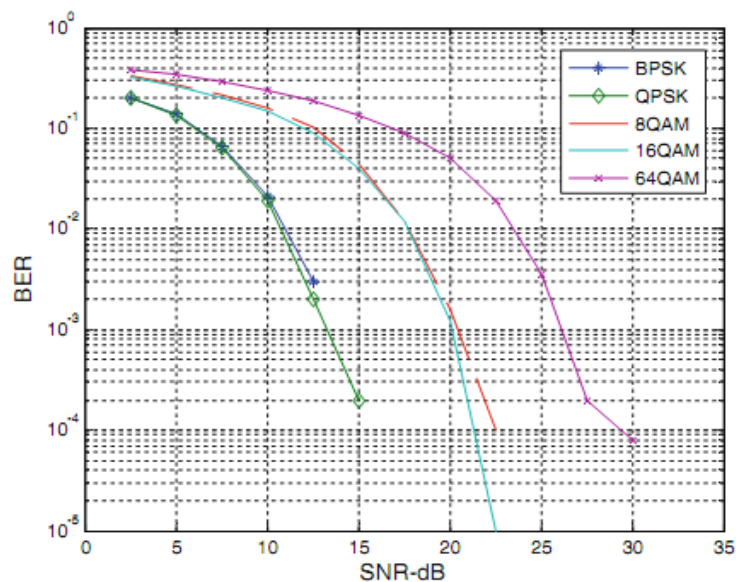


Figure (4.5) performance du système OFDM pour différents modulation

4.3 Les modules de la modulateur OFDM :

OFDM est une technique utilisée dans les systèmes de communications sans fil à large bande. Pour atténuer l'effet de la déformation dispersive de canal dans les systèmes élevés en débit, le préfixe cyclique est présenté pour éliminer le brouillage interférence entre symbole (ISI). Il copie la section d'extrémité d'un paquet d'IFFT au commencement d'un symbole d'OFDM. La modulation d'OFDM dans un émetteur inclut l'opération inverse de transformée de Fourier rapide et l'insertion cyclique de préfixe. Dans un récepteur d'OFDM, le préfixe cyclique est enlevé avant que les données de paquet soient envoyées à FFT pour la démodulation [7-8].

4.3.1 FFT et IFFT :

L'opération la plus intensive en calcul de la modulation OFDM est IFFT, et de la même manière, le cœur de la démodulation OFDM est la FFT. Un débit FFT élevé est essentiel dans les systèmes à large bande, en particulier lorsque la FFT est partagée entre plusieurs chemins de données. Dans les systèmes sans fil évolutifs modernes tels que WiMAX et 3GPP LTE [9], la reconfigurabilité d'exécution est également une partie intégrale de conditions de système.

Dans cette application, la fonction de FFT est configurée en mode continu variable, qui permet la taille de FFT et le changement de direction sur une base de paquet-par-paquet. Pour réduire l'utilisation logique, le module de FFT est souvent synchronisé beaucoup plus rapidement que le reste des modules de bande de base et réutilisé. Vous pouvez partager le module de FFT par différentes sources ; par exemple, les antennes multiples (MIMO), la transmission et la réception en duplex de division de temps (TDD), et les systèmes duplex de division de fréquence (FDD) [10].

4.3.2 Opérations de TDD :

Dans les stations de base TDD, la transmission et la réception se produisent sur des créneaux temporels qui ne se chevauchent pas. Vous pouvez facilement partager le module de FFT entre l'émetteur et le récepteur, avec le multiplexage approprié. La figure (4.6) montre un modulateur OFDM -TDD à une seule antenne typique [11].

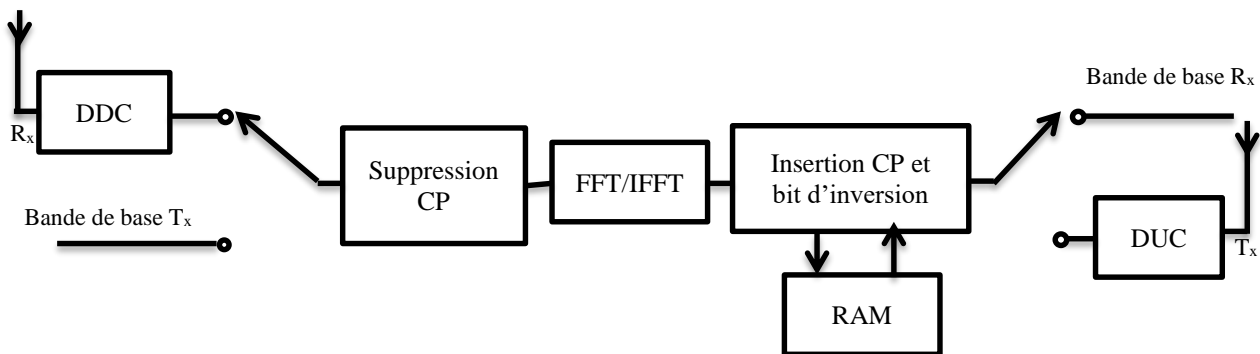


Figure (4.6) OFDM en duplex de division de temps (TDD)

Sur la transmission de données, les données en bande de base sont directement transmises au module IFFT. Pour insérer un préfixe cyclique et implémenter l'inversion de bits après IFFT, vous pouvez utiliser différentes configurations.

A l'émission, la sortie IFFT dans l'ordre inverse des bits est écrite séquentiellement dans un seul tampon, où les échantillons naturels ordonnés du symbole OFDM précédent sont lus au même moment dans la RAM à double accès. Lors de la génération du préfixe cyclique, le noyau FFT est bloqué via la contre-pression Avalon-ST [12]. Les symboles OFDM continus, dotés du préfixe cyclique, sont ensuite envoyés au convertisseur élévateur numérique (DUC) pour transmission.

A la réception, après la conversion numérique avec réduction (DDC), le préfixe cyclique est supprimé des symboles OFDM entrants. Le module de suppression cyclique de la figure (4.6) recherche le bon début d'un symbole OFDM et envoie les données à FFT pour une démodulation. Le tampon unique situé après le module FFT sert uniquement de tampon d'inversion de bits sur le chemin de réception et aucune contre-pression n'est activée.

4.3.3 Les opérations de FDD :

En mode FDD, l'émission et la réception ont lieu en même temps. Le partage de base FFT exige qu'il fonctionne à au moins deux fois le débit de symboles en bande de base. Les chemins de données de transmission et de réception doivent avoir leur propre ensemble de tampons de données [10-11].

La figure (4.7) montre une configuration possible de la réutilisation de FFT dans un système FDD. Les opérations de chemin de données pour la transmission et la réception sont similaires à celles d'un système TDD, à la différence que ces opérations ont lieu simultanément. En conséquence, les données pré-FFT doivent être mises en mémoire tampon et le taux doit être changé pour une fréquence d'horloge plus élevée. Un seul tampon suffit pour le changement de débit, car l'horloge d'écriture du tampon est toujours plus lente ou égale à l'horloge de lecture. Alors que le paquet de données actuel est écrit dans la mémoire tampon avec une horloge lente, les données du paquet précédent sont lues à une fréquence d'horloge plus élevée. Lors de la lecture et de l'écriture dans le même emplacement de mémoire, vous devez configurer la RAM à deux ports pour extraire l'ancien contenu de la mémoire.

Après le traitement FFT, le débit de données élevé est reconverti en débit de transmission OFDM via une RAM à deux ports. Ce tampon de mémoire post-FFT agit également comme un tampon d'inversion de bits. En raison de la conversion taux élevé à taux faible, si vous souhaitez une sortie en flux continu, vous aurez besoin d'un double tampon. En d'autres termes, lorsqu'un paquet FFT est écrit dans la mémoire tampon, les données du paquet précédent sont extraites de l'autre mémoire tampon.

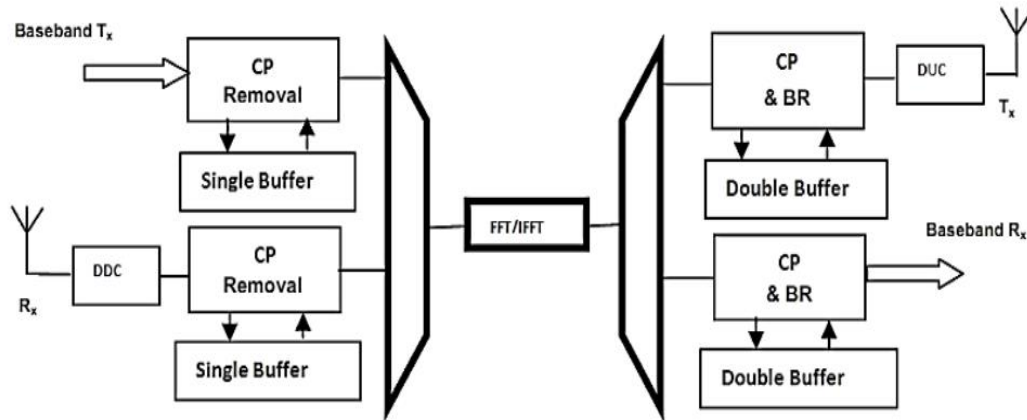


Figure (4.7) OFDM en duplex de division de fréquence (FDD)

4.3.4 Configuration de MIMO :

La configuration de plusieurs antennes est une exigence obligatoire dans les systèmes sans fil modernes, y compris les systèmes WLAN, WiMAX et LTE 3GPP. Une implémentation simple de la modulation OFDM dans les systèmes MIMO (Multiple Input Multiple Output) consiste à dupliquer le chemin de données, y compris le noyau FFT de chaque antenne. Une solution plus respectueuse des ressources consiste à partager le cœur de la FFT entre les antennes. La réutilisation de FFT pour MIMO nécessite que le cœur de la FFT soit cadencé au moins n fois plus rapidement que le chemin de données en bande de base, où n est le nombre d'antennes. Vous pouvez partager le même noyau FFT selon deux dimensions, aux dépens de la mise en mémoire tampon des données avant FFT, lors de la combinaison de MIMO, TDD et FDD [13-14].

Figure (4.8) illustre une configuration MIMO à deux antennes fonctionnant en mode TDD. Le cœur de la FFT est partagé par plusieurs antennes et par émission et réception. Les unités de contrôle pour l'insertion et la suppression de préfixes cycliques doivent pouvoir fonctionner à la fois en émission et en réception. En raison de la différence de fréquence d'horloge, vous avez besoin d'un double tampon pour chaque traitement post-FFT d'antenne.

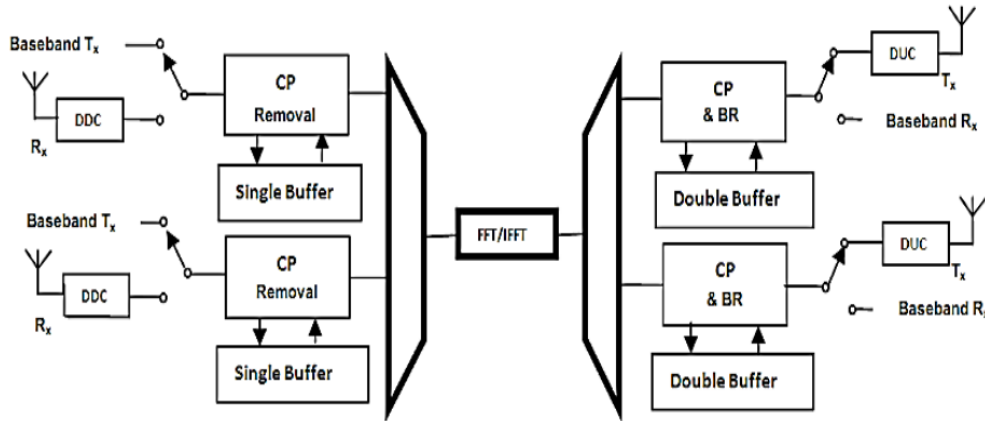


Figure (4.8) système MIMO

4.4 Implémentation de la modulation OFDM :

L'architecture de la modulation et la démodulation d'OFDM est implémenté sur un FPGA de famille Altera Stratix III. FFT et mémoire tampon utilisent les fonctions d'Altera MegaCore [15]. Cette architecture exploite la réutilisation de FFT. C'est-à-dire, le noyau FFT est cadencé beaucoup plus rapide que les signaux en bande de base afin qu'il puisse être partagé.

La conception cible les systèmes OFDM reconfigurables avec une taille de FFT variable et des tailles de préfixe cycliques. La vitesse de changement de données pré-FFT via un seul tampon. Le bit post-FFT a inversé le débit et l'ordre des changements de données, via un double tampon. Tous les modules de commande prennent en charge le fonctionnement TDD et sont utilisés pour la transmission et la réception. Par conséquent, vous pouvez facilement étendre cet exemple aux systèmes MIMO et / ou TDD tels que celui illustré à la figure (4.8), ou aux systèmes FDD tels que celui illustré à la figure (4.7) [12-16].

Cette architecture comporte deux parties : la modulation OFDM, qui inclut l'insertion IFFT et l'insertion de préfixe cyclique avec inversion de bits, et la démodulation OFDM, qui comprend la suppression de préfixe cyclique et la mémoire tampon de données pour le changement de débit. La figure (4.9) illustre l'intégration de haut niveau des deux parties. Vous pouvez voir cela comme une extension du système TDD à une seule antenne illustré à la figure (4.6). La mémoire tampon pré-FFT ajoutée permet d'étendre facilement la conception aux systèmes MIMO ou FDD avec réutilisation de FFT.

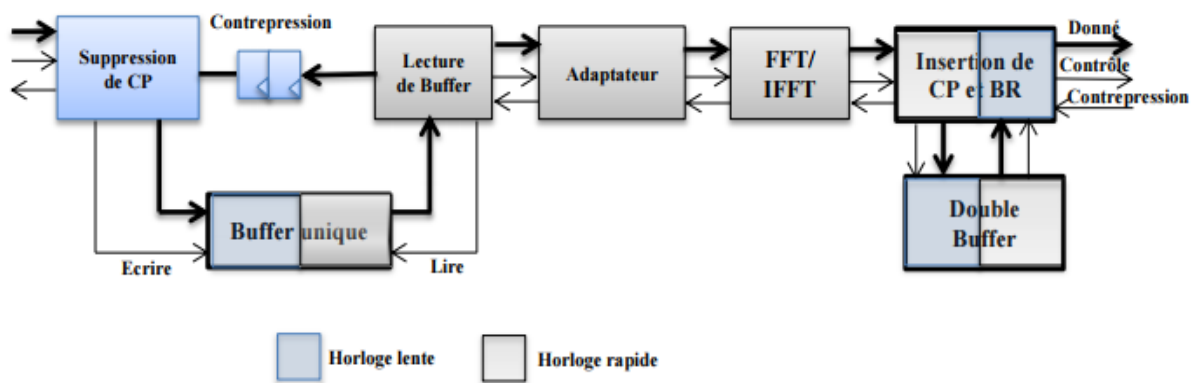


Figure (4.9) architecture de modulateur et démodulateur OFDM

Les principales caractéristiques de cette architecture de conception sont les suivantes :

- Prise en charge des tailles de FFT les plus couramment utilisées (128, 256, 512, 1024 et 2048) correspondant aux largeurs de bande du canal 3GPP LTE de 1,25, 2,5, 5, 10 et 20 MHz.
- Prise en charge de la taille de préfixe cyclique reconfigurable fixe ou à l'exécution, paquet par paquet.
- Prise en charge de la taille de la FFT reconfigurable fixe ou à l'exécution, paquet par paquet
- Prise en charge des opérations TDD ; vous pouvez réutiliser tous les modules de contrôle pour la transmission et la réception
- Prise en charge de différentes tailles de FFT de liaison montante et de liaison montante dans un système TDD avec réutilisation de FFT
- Prise en charge de la taille du préfixe cyclique entier arbitraire, tant qu'elle est inférieure à la taille FFT maximale
- Prend en charge le protocole Avalon Streaming, y compris la contre-pression
- Prise en charge du paramétrage de la largeur des données, de la profondeur de la mémoire, de la largeur de la taille du paquet FFT et de la largeur du port du préfixe cyclique
- Extension facile à MIMO et FDD avec réutilisation de FFT

4.4.1 Préfixe cyclique et bit d'inversion :

L'insertion de préfixe cyclique pour la modulation OFDM comprend quatre sous-modules fonctionnels :

- Double tampon mis en œuvre avec une RAM double port à deux horloges
- Ecriture mémoire avec inversion de bits
- Lecture en mémoire avec insertion de préfixe cyclique
- synchronisation d'horloge

A l'émission, les données de sortie IFFT dans l'ordre inverse des bits sont lues dans le module d'insertion de préfixe cyclique. Une unité de contrôle analyse l'adresse des données et écrit dans l'emplacement de mémoire correspondant. Une fois qu'un paquet IFFT complet est écrit, les derniers échantillons correspondant au préfixe cyclique sont lus dans l'ordre naturel. En même temps, les symboles du prochain paquet IFFT sont écrits dans l'autre tampon s'il est disponible. Si les deux mémoires tampons ont des données pour la lecture, un signal de blocage est envoyé au noyau IFFT via la contre-pression de l'interface Avalon Streaming.

A la réception, le traitement post-FFT limite l'inversion de bits et le changement de débit. Les données de sortie FFT dans l'ordre inverse des bits sont écrites dans l'adresse de mémoire appropriée, comme cela a été fait précédemment. Une fois qu'un paquet complet de données est écrit dans la mémoire tampon, il est lu séquentiellement dans l'ordre naturel. Notez que pour éviter une contrepression excessive, vous avez besoin d'un double tampon car l'horloge de lecture est généralement plus lente que l'horloge d'écriture. La figure (4.10) illustre l'opération de données post-FFT de préfixe cyclique (CP) et bit d'inversion (BR) dans l'émission et la réception.

Les signaux de commande indiquant l'état du tampon traversent deux domaines d'horloge et sont synchronisés via une logique de synchronisation.

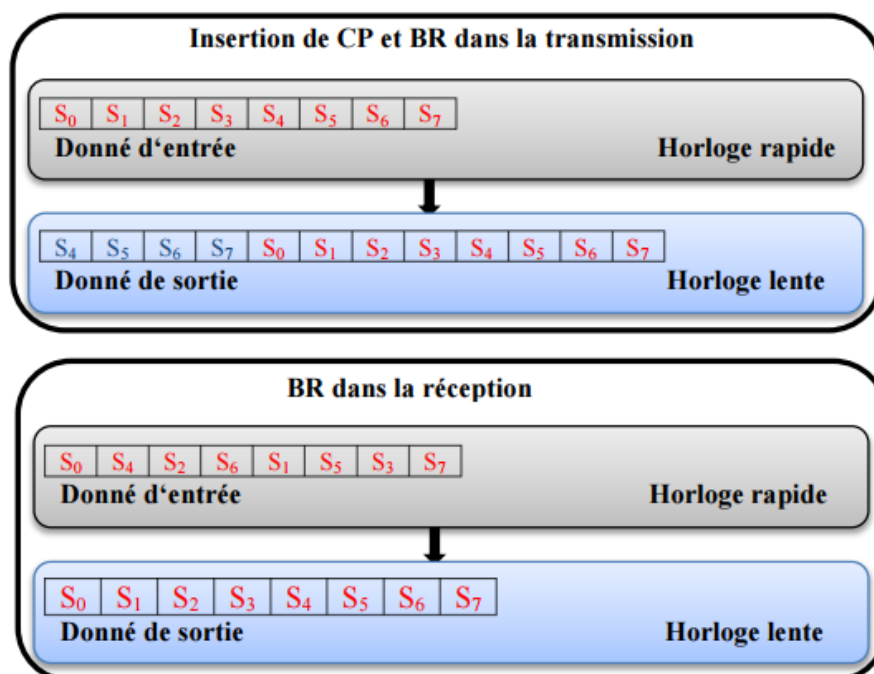


Figure (1.10) Paquet de données avant et après l'opération d'insertion de préfixe cyclique

4.4.2 Traitement pré-FFT :

Le traitement pré-FFT comprend quatre modules :

- Suppression cyclique du préfixe ou écriture en mémoire
- Lecture en mémoire ou changement de débit
- RAM double port à deux horloges
- Convertisseur de latence prêt pour Avalon Streaming

Comme indiqué précédemment, si la FFT est synchronisée à un taux différent pour le partage des ressources, vous avez besoin du tampon de données pré-FFT. Sur le chemin de réception de données, le module de suppression de préfixe cyclique compte le début de l'écriture des données d'entrée dans le tampon unique. Après l'écriture d'un paquet complet de données dans le tampon unique, les données sont extraites à partir de l'adresse 0.

Sur le chemin de transmission de données, le sous-module de suppression de CP écrit simplement les données d'entrée de manière séquentielle dans le tampon unique. Les mêmes données sont lues à un rythme différent. La figure (4.10) illustre l'opération de données pré-FFT.

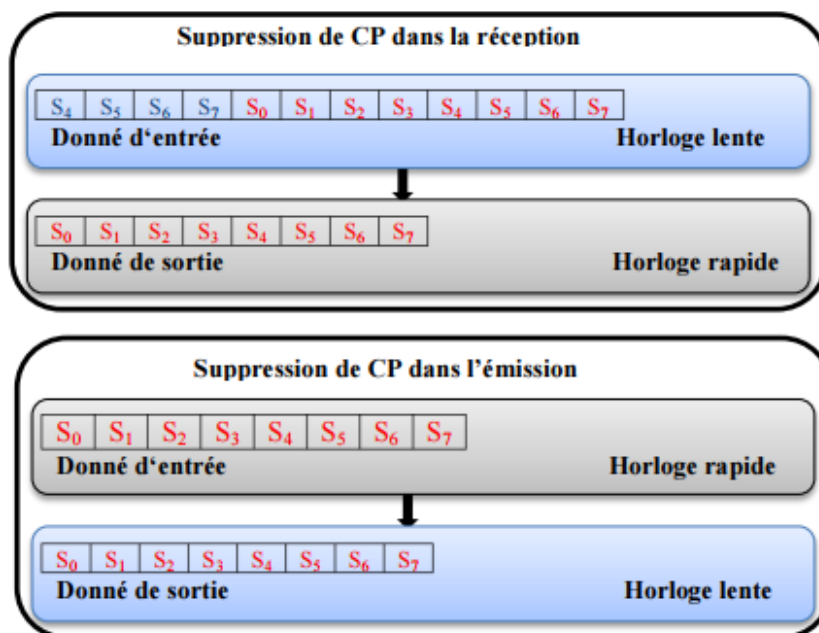


Figure (4.11) Paquet de données avant et après l'opération de suppression de préfixe cyclique

4.4.3 Schémas d'horloge :

Cette conception utilise deux domaines d'horloge, clk_f et clk_s . Le cor de la FFT fonctionne à l'horloge rapide clk_f . Les deux domaines d'horloge peuvent être

asynchrones si clk_f est plus rapide que clk_s . Des signaux de prise de contact sont insérés dans la conception pour synchroniser les signaux de commande entre domaines.

Bien que dans les systèmes pratiques la fréquence de clk_f soit généralement composée de multiples entiers de clk_s , dans cette conception, clk_f peut être identique à une horloge lente clk_s . Dans ce cas, les deux horloges doivent être synchrones.

La figure (4.11) montre l'implémentation de deux l'horloge et leurs formes d'ondes [13].

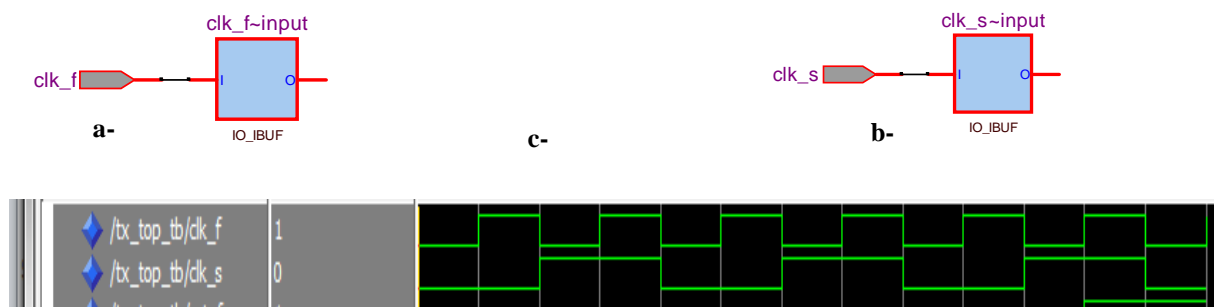


Figure (4.12) - (a, b) : L'implémentation des l'horloge (clk_f , clk_s)
 - c : forme d'onde de L'implémentation des l'horloge (clk_f , clk_s)

4.4.4 Paramètres de simulation et résultats :

La plateforme de prototypage utilisée pour le modulateur et démodulateur OFDM est la Stratix de la société Altera [7-17], intégrant le FPGA EP3SL150F780C2 [18] de la famille Stratix III. Ce dernier est composé de 5700 Nombre de blocs de matrice logique (LAB) et de 142500 nombre d'éléments logiques, facilitant l'intégration de l'application de traitement du signal.

Le processeur FFT a été décrit avec le langage de description matérielle VHDL et synthétisé avec l'outil logiciel Quartus II, puis simulé avec ModelSim (SE 6.5). La conception de haut niveau illustrée aux figures (4.13) et (4.14) pour la modulation et la démodulation OFDM utilise deux types d'horloge, clk_f et clk_s . Le noyau FFT s'exécute sur l'horloge rapide clk_f .

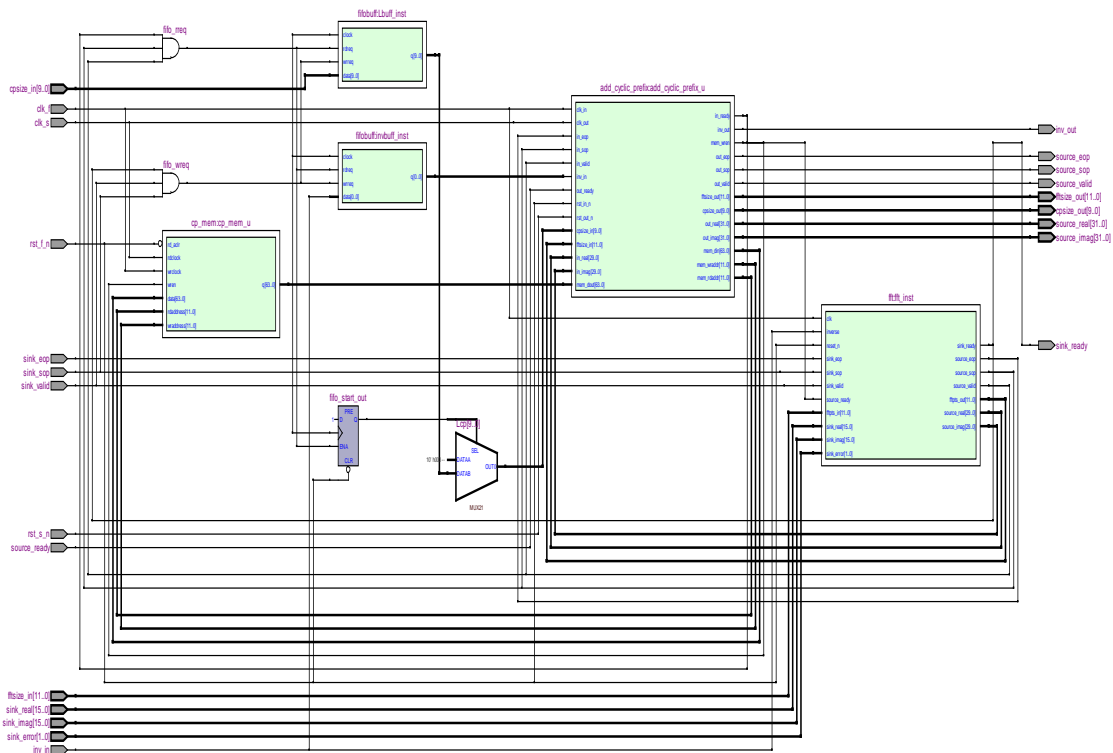


Figure (4.13) La conception de haut niveau de la modulation OFDM

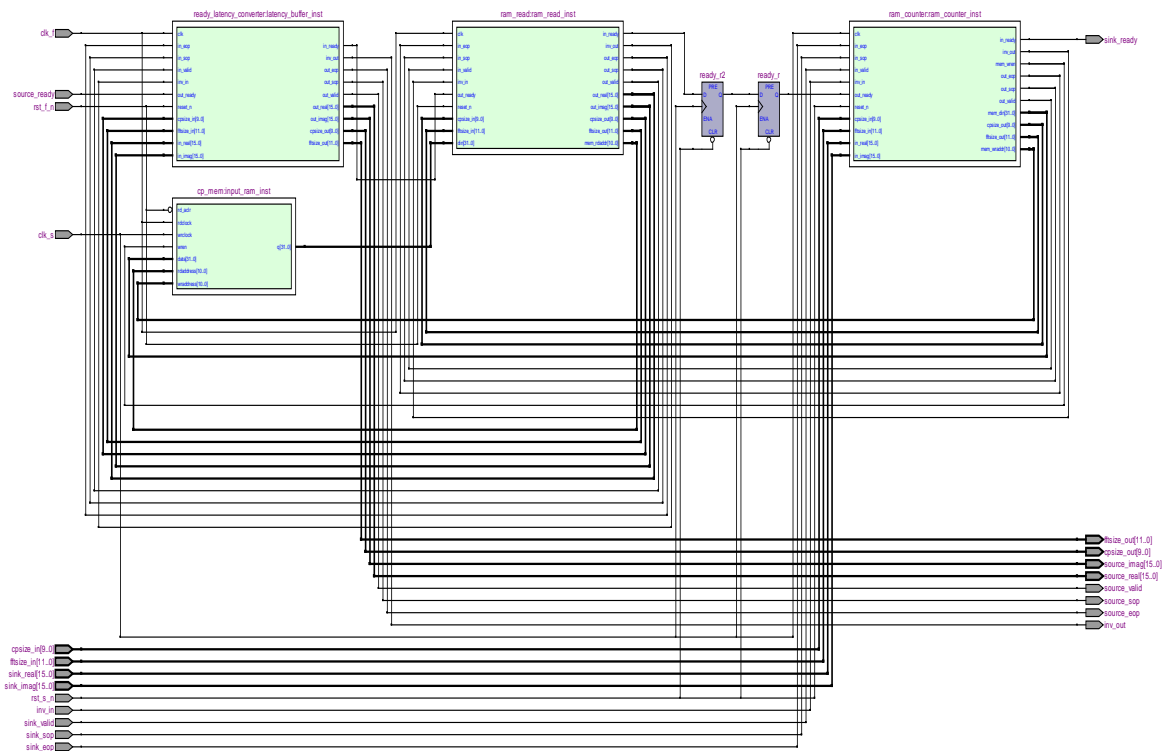


Figure (4.14) La conception de haut niveau de la démodulation OFDM

Les figures (4.15) et (4.16) montrent les forme d'ondes des entrées et des sorties de la modulation et de la démodulation OFDM.

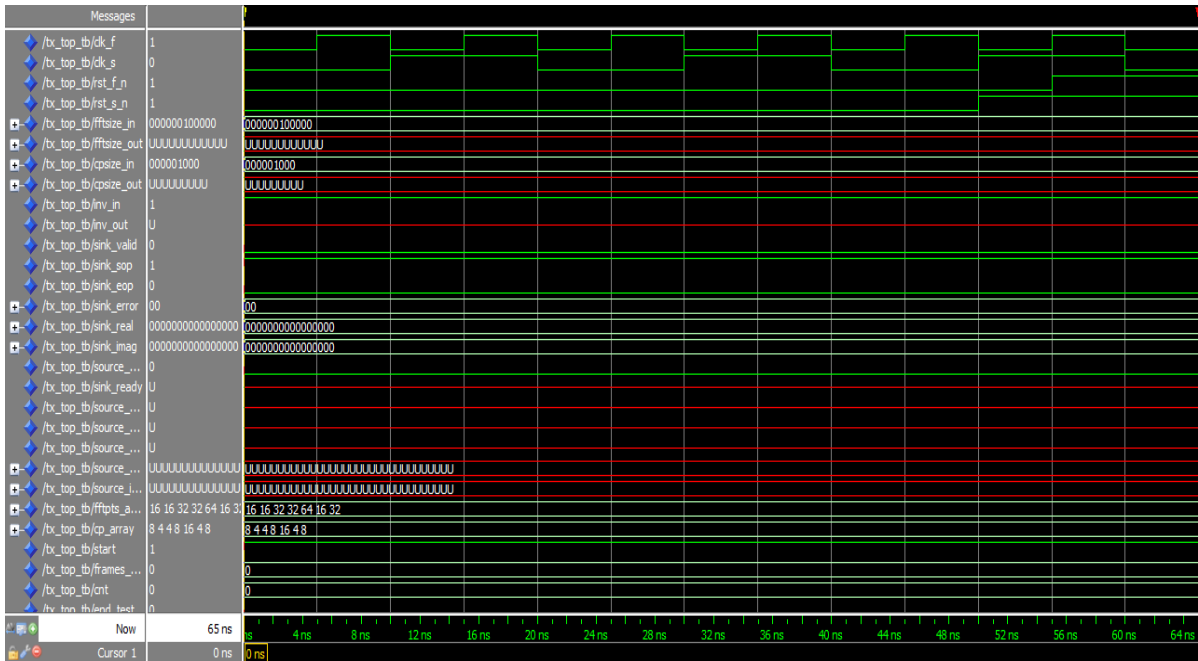


Figure (4.15) Forme d'onde de la modulation OFDM

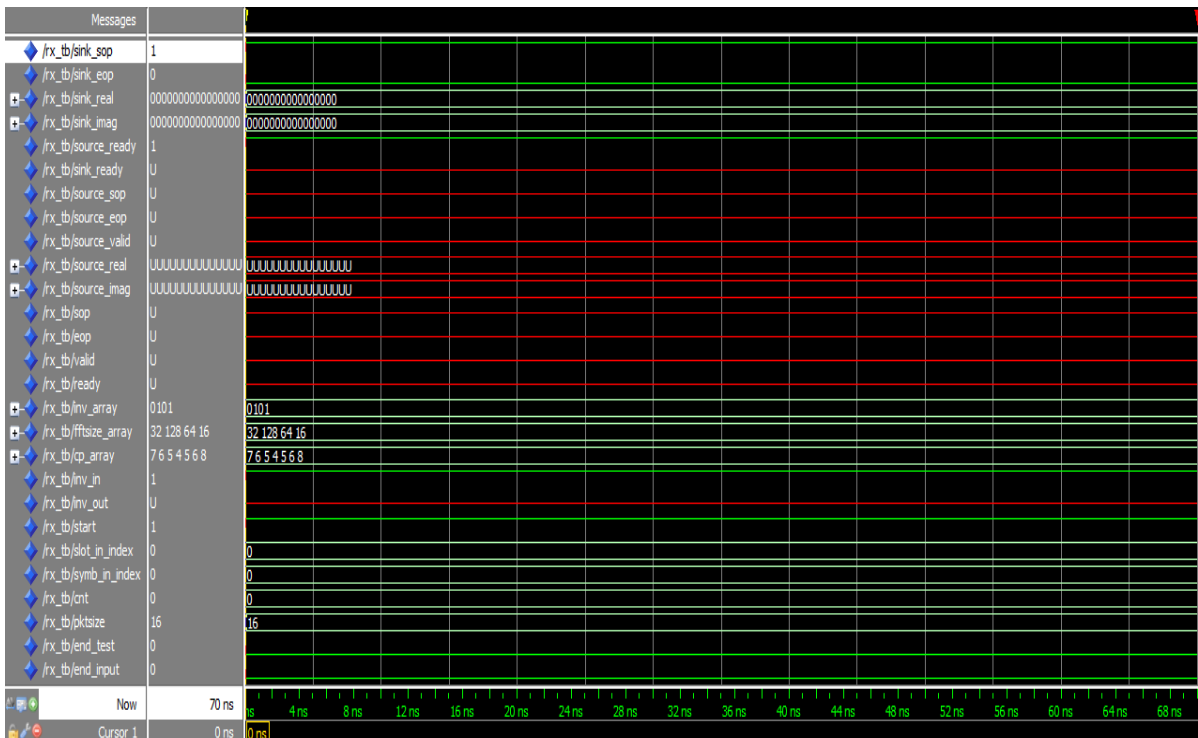


Figure (4.16) Forme d'onde de la démodulation OFDM

Le tableau (4.2) présente l'allocation totale des ressources à l'intérieur d'un FPGA de la modulation et de la démodulation OFDM.

	OFDM Modulation	OFDM Démodulation
Combinational ALUTs	4,405/ 113,600 (4 %)	170 / 113,600 (< 1 %)
Memory ALUTs	207 / 56,800 (< 1 %)	0 / 56,800 (0 %)
Total registers	7132	214
Total pins	156 / 488 (32 %)	122 / 488 (25 %)
Total block memory bits	342,076 / 5,630,976 (6 %)	65,664 / 5,630,976 (1 %)
DSP block 18-bit elements	40 / 384 (10 %)	0 / 384 (0 %)
clk_f (MHz)	245.76 MHz	184.33 MHz
clk_s (MHz)	30.72 MHz	30.72 MHz

Tableau (4.2) l'allocation des ressources de la modulation et de la démodulation OFDM.

4.5 Implémentation de l'algorithme MIMO :

Cet algorithme repose sur le critère ML qui consiste à minimiser la distance entre le point reçu et le point décodé. La recherche du point le plus proche étant la base du décodage, plusieurs méthodes ont été développées pour résoudre ce problème qui dépend de la structure du réseau de points et qui devient alors plus simple quand le réseau est plus structuré [19]. L'approche de l'algorithme de décodage Schnorr-Euchner (SE) [20] est effectuée pour trouver ce point.

L'architecture de décodeur MIMO est une tâche exigeante en raison de la complexité de calcul de rechercher les points les plus proches dans un réseau non structuré dans un domaine multidimensionnel. Les unités de calcul sont mises en œuvre en utilisant des blocs Simulink.

La figure (4.17) schématise cet algorithme en utilisant Matlab Simulink. Ce modèle est obtenu dans un système MIMO muni de 4x4 antennes avec une modulation BPSK.

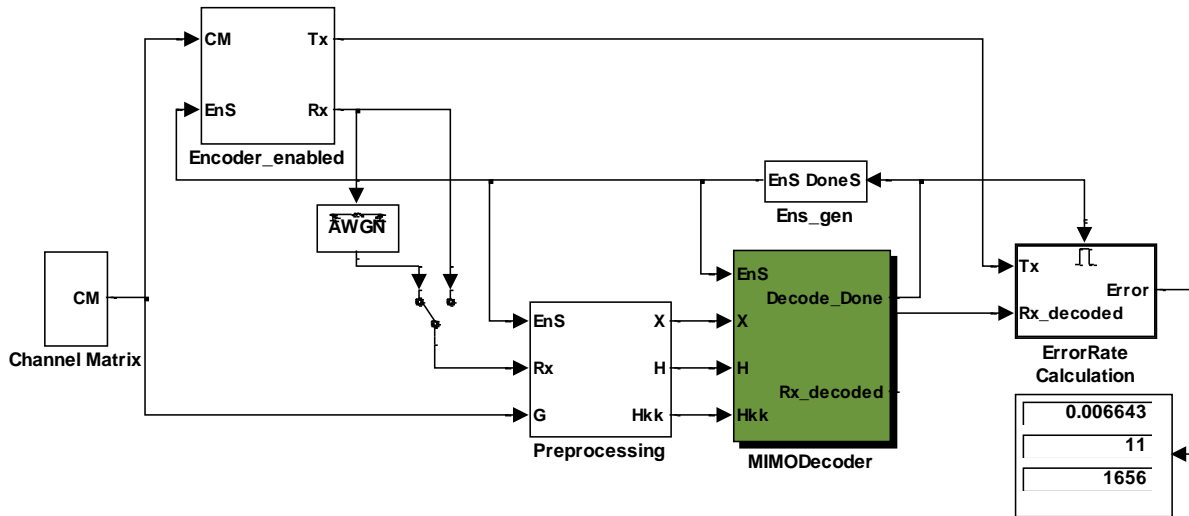


Figure (4.17) L'algorithme de décodage utilisant Simulink

Les figures (4.18) (4.19) montrent le modèle complet de décodeur MIMO qui basé sur le critère ML qui a été créé et adapté à MATLAB Simulink et le chronogramme associés au ce décodeur.

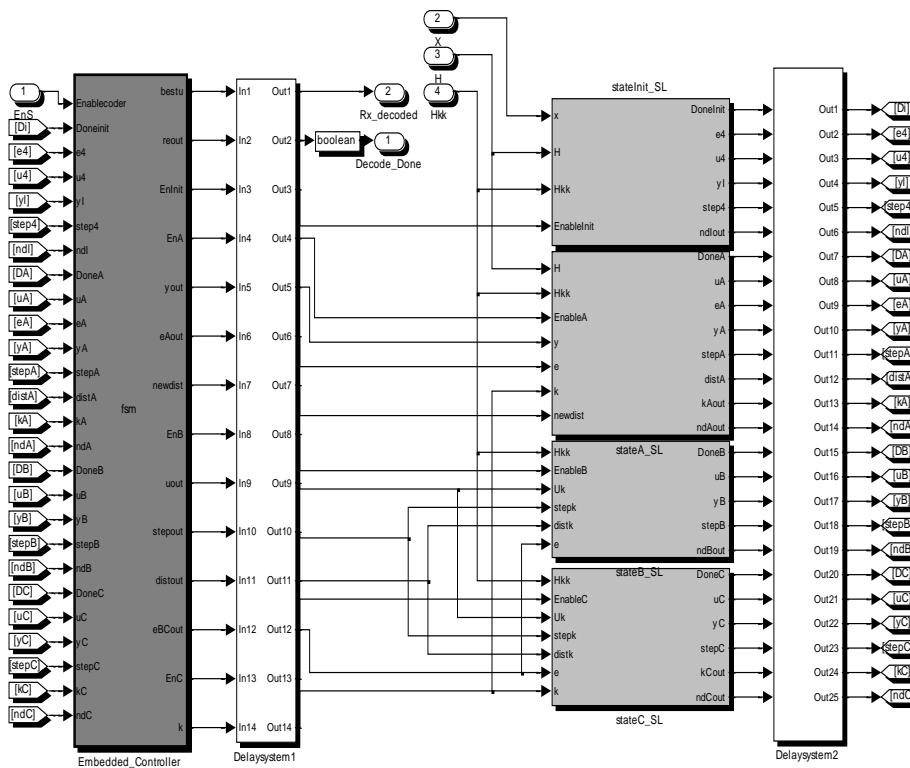


Figure (4.18) les modules de décodeur MIMO

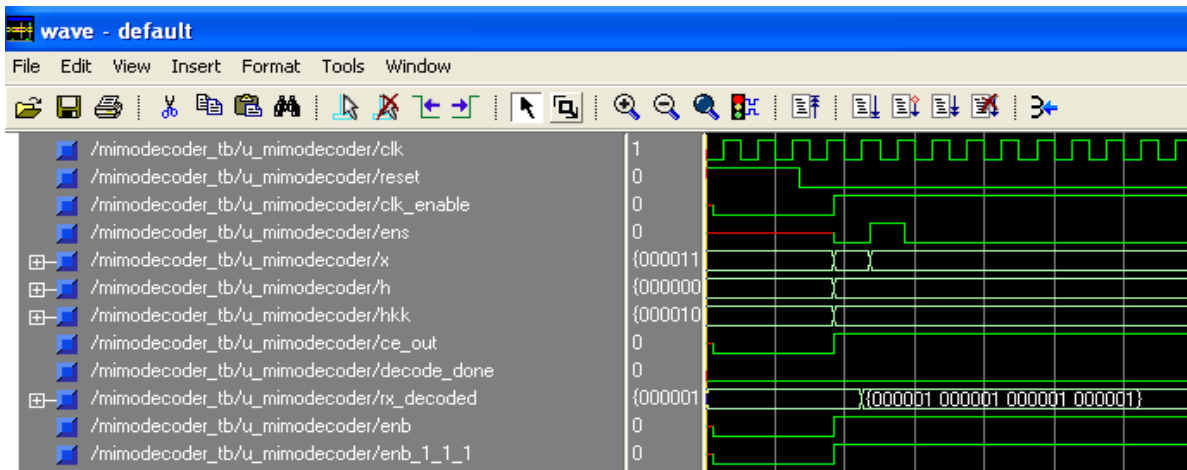


Figure (4.19) forme d'onde de décodeur MIMO

L'algorithme de décodage (SE) est un algorithme qui réduit considérablement la complexité moyenne du problème de détection de ML. Ce modèle effectue la détection MIMO dans un système 4x4 avec modulation BPSK et atteint un taux d'erreur binaire 10^{-5} à 20 dB SNR. La figure (4.20) montre le taux d'erreur binaire de ce modèle en fonction de SNR en utilisant la matrice de canal [21].

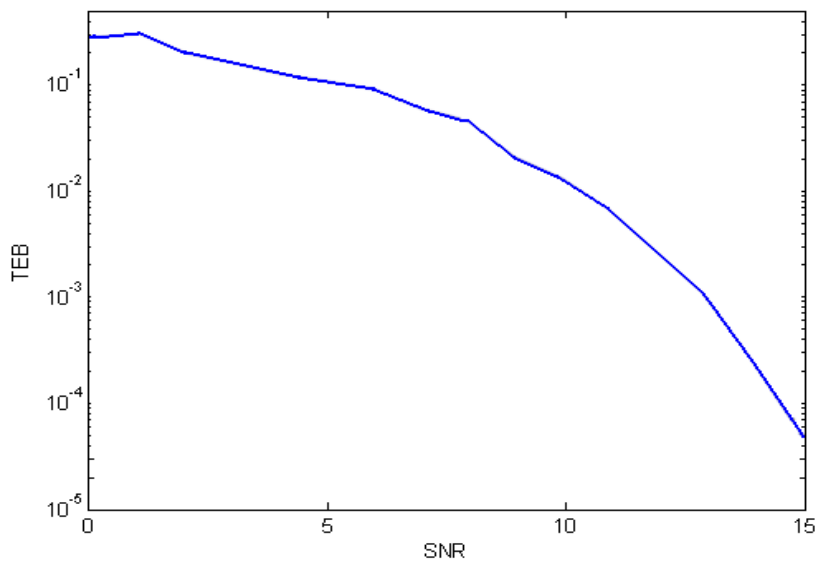


Figure (4.20) Performances de l'algorithme de décodage MIMO (SE)

4.6 Conclusion :

Dans ce chapitre, l'implémentation d'une couche physique en logique FPGA a été effectuée. L'objectif principal était de présenter l'ensemble des modules de modulateur et démodulateur OFDM mis en œuvre dans les nouveaux standards de télécommunications et d'en effectuer l'implémentation sur les produits Altera afin de démontrer que leurs produits répondent bel et bien aux besoins actuels du marché. Les résultats obtenus nous permettent de valider la fonctionnalité de l'application et démontrent que le système est prêt à travailler avec des signaux réels.

La réutilisation des modules FFT est le cœur des architectures considérées dans cette application. L'exemple de conception implémente la modulation et la démodulation OFDM pour 3GPP LTE, qui prend en charge la taille FFT reconfigurable et la taille du préfixe cyclique. L'exemple de conception est également applicable aux systèmes WiMAX, WLAN et autres systèmes de communication modernes basés sur OFDM.

Bibliographie :

- [1] C. Sahnine, Architecture de circuit intégré reconfigurable, très haut débit et basse consommation pour le traitement numérique de l'OFDM avancé, thèse 26 Feb 2009.
- [2] Jean-Benoit Larouche, Implémentation d'une couche physique temps réel MIMO-OFDM sur FPGA, thèse 2014.
- [3] Hongyan Zhou, Design and FPGA Implementation of OFDM System with Channel Estimation and Synchronization, Thèse June 2013.
- [4] Xilinx Inc. Modelsim , Xilinx Website.
- [5] Altera Inc. QaurusII introduction
- [6] Jordane Lorandel, Etude de la consommation énergétique de systèmes de communications numériques sans fil implantés sur cible FPGA, thèse Dec 2016.
- [7] M. A. Mohamed, " FPGA Synthesis of VHDL OFDM System", Wireless Pers Commun (2013) 70: 1885.
- [8] D. Perels, S. Haene, P. Luethi, "ASIC Implementation of a MIMO-OFDM Transceiver for 192 Mbps WLANs", Proceedings of ESSCIRC, Grenoble, France, 2005.
- [9] Pratibha Mane, Varsha Thombare, "Implementation of 802.11n OFDM Transmitter and Receiver Using FPGA", ijetae-Volume 4, Issue 4, April 2014.
- [10] Vaidyanathan Ramadurai, Sitij Agrawal, Saurabh Lahoti, Software Defined FDD/TDD LTE implementation on Sandblaster SB3500, Proceedings of the SDR 11 Technical Conference and Product Exposition, Copyright © 2011 Wireless Innovation.
- [11] Peter W. C. Chan ; Ernest S. Lo ; Ray R. Wang, the evolution path of 4G networks: FDD or TDD, IEEE (Volume: 44 , Issue: 12 , Dec. 2006)
- [12] MNL-AVABUSREF, Avalon® Interface Specifications, Intel 2018.09.26
- [13] Xiaofei Dong, Altera, Implementing OFDM Modulation for Wireless Communications – Intel, February 05, 2008
- [14] F. Kristensen, P. Neilson and A. Olssen, Reduced Transceiver-Delay for OFDM Systems, IEEE conference, Spring 2004.
- [15] San Jose, FIR Compiler MegaCore Function User Guide, April 2006
- [16] IEEE Standard for Local and Metropolitan Area Networks, Part 16: Air Interface for Fixed Broadband Wireless Access Systems, IEEE P802.16-REVd/D5-2004, May 2004.
- [17] Sarah Belouezzane et Anne Evenon, Electronique : Intel rachète Altera , 1^{er} juin 2015
- [18] San Jose, Stratix III Device Handbook, Volume 1, March 2011.
- [19] MROUEH Lina, BADR Maya, Décodage des réseaux de points, Fév 2006
- [20] Erik Agrell, Thomas Eriksson, Alexander Vardy, «Closest Point Search in Lattices», IEEE Transaction on Information Theory, vol. 48, NO.8, august 2002.
- [21] M.Ogbi, M.Bouziani, B.R.Saddouki, Reconfigurable Architecture for detector ML, System MIMO, IOSR Journals, V-10, issue 5, Sep 2015

Conclusion et Perspectives

Cette thèse porte sur l'étude et l'implémentation d'applications Radio Logicielle sur architectures reconfigurables pour les systèmes multi-porteuses (OFDM) et multi-antennes (MIMO). Les architectures reconfigurables offrent de nouvelles alternatives entre la grande flexibilité des processeurs programmables DSP et les hautes performances des circuits spécifiques ASIC. Après avoir analysé et comparé brièvement les architectures reconfigurables, nous nous appuyons sur la technologie FPGA pour répondre à notre besoin de reconfiguration. Dans ce travail de thèse, deux domaines de recherche ont été abordés : les communications numériques et la conception sur circuit FPGA de systèmes numériques. Une forte interaction entre les deux domaines a été requise permettant d'une part une reformulation de deux systèmes et d'autre part la proposition d'architectures innovantes et leur prototypage.

L'objectif principal de cette étude a été de réaliser le développement matériel d'un modulateur et démodulateur OFDM, afin d'appliqué sur système MIMO. Le modulateur OFDM développé se compose d'un module FFT/IFFT qu'est essentiel dans les systèmes à large bande, les modules Préfixe cyclique et bit d'inversion et ainsi les modules d'entrees et sorties. Le travail a été décomposé en trois étapes fondamentales : une étude de système MIMO-OFDM, une étude des solutions architecturales et une implémentation de modulateur sur une architecture validée par prototypage.

L'étude de système MIMO-OFDM a été menée en deux phases : une technique OFDM puis une technique MIMO. La technique OFDM est une technique de multiplexage en fréquence ou technique de transmission multi-porteuses, elle serre de manière dense plusieurs sous-porteuses modulées dans le domaine des fréquences, pour une utilisation plus efficace de la bande passante. La Transformée de Fourier Rapide (FFT - Fast Fourier Transform) et l'intervalle de garde (Préfixe cyclique et bit d'inversion) sont des éléments clés dans de nombreuses applications et ses implémentations sur les FPGAs avaient un grand intérêt dans la communication sans fil à base de l'OFDM (Orthogonal Frequency Division Multiplex). La technique MIMO (Multi-Input Multi-Output) est devenu un des sujets les plus étudiés en recherches, car elle est capable d'augmenter l'efficacité spectrale (capacité) sur une largeur de bande limitée. Il est clair que l'utilisation d'antennes multiples est un moyen bien connu pour améliorer les performances d'un système de transmission. Lors de cette étude:

- La proposition de la combinaison MIMO-OFDM joue un rôle important dans le développement des systèmes de communication sans fils à bande large, Les systèmes de transmission de type MIMO permettent d'atteindre des capacités très importantes, grâce à l'exploitation de la diversité spatiale du canal. Mais le débit de transmission est limité par la durée symbole qui doit être grande devant la durée de la réponse impulsionnelle du canal. L'utilisation d'une modulation OFDM classique dans un système MIMO permet de s'affranchir de cette contrainte simplement en assurant un temps de garde supérieur au dernier écho du canal.

L'étude des solutions architecturales a permis de déterminer la complexité de la réalisation matérielle et également de donner une évaluation des débits possibles. Nous avons constaté que l'architecture reconfigurable est indispensable dans les applications des communications numériques et de la radio logicielle. A travers des études sur les systèmes MIMO-OFDM et les architectures reconfigurables, nous avons présenté une architecture reconfigurable à gros grains et à grains fins. Lors de cette étude:

- ce système a besoin d'une architecture reconfigurable de circuits intégrés, très haut débit et multi-standard. Ces architectures visent à développer à la fois des puissances de calculs plus élevées pour répondre aux exigences de débit, ainsi que des capacités de reconfiguration pour des applications multi-standard
- La reconfiguration dynamique est utilisée dans l'architecture du modulateur OFDM, afin d'optimiser les ressources matérielles.
- Proposition un flot de conception permettant de mettre en œuvre la reconfiguration dynamique sur FPGA. Parmi ces flots, Xilinx a proposé Le premier qui est basé sur une méthodologie de conception modulaire.

La dernière étape du développement du modulateur et démodulateur OFDM a concerné le prototypage avec l'implantation sur une plate-forme à base de circuits FPGA Stratix de la société Altera. L'architecture du modulateur intégrant le FPGA EP3SL150F780C2 de la famille Stratix III. Ce dernier est composé de 5700 Nombre de blocs de matrice logique (LAB) et de 142500 nombre d'éléments logiques, facilitant l'intégration de l'application de traitement du signal. La réutilisation des modules FFT est le cœur des architectures considérées dans cette application. Le prototype a été conçu pour assurer la généricité au niveau des paramètres suivants :

- La réutilisation des modules FFT.
- l'insertion de préfixe cyclique avec inversion de bits
- La mémoire tampon pré-FFT ajoutée.
- L'utilisation de deux horloges (l'horloge rapide clk_f et l'horloge lente clk_s)

Perspectives :

Les perspectives de cette étude sont multiples. A court terme, il serait intéressant d'implémenter sur FPGA et d'appliqué le même principe de l'architecture de modulateur OFDM sur système MIMO et de comparer la complexité/ performance au technique OFDM. Ainsi, D'un point de vue contribution scientifique, ces travaux de thèse ont donné lieu à plusieurs communications internationales, dont la contribution principale est le nouveau schéma d'émission OFDM-STBC pour les systèmes MIMO-OFDM, menant à des économies importantes en termes de ressources consommées lors de l'implantation dans un FPGA.

A long terme, un autre prolongement de ce travail est de continuer à étudier toujours dans le domaine de la radio communication sans fil, la partie de réception qui concerne les algorithmes de réceptions, et leurs architectures reconfigurables qui supportant différents nombres d'antennes, différents types de modulations et de propagation dans la paramétrisation de la radio logicielle.

Un autre travail prioritaire concerne la définition d'une architecture répondant dynamiquement à des contraintes inhérentes aux applications de communication numérique en termes de flexibilité, de performance et aussi de consommation d'énergie. Les études menées pour caractériser les architectures en consommation, suivant différentes fréquence de fonctionnement, différents niveaux de parallélisme.

Annexe A

Les standards de communication sans fil

Pour classer ces technologies sans fil, intéressons-nous à leur rayon d'action. On trouve d'abord le réseau personnel (WPAN, *Wireless Personal Area Network*), dont la portée est limitée à quelques dizaines de mètres. Son principal représentant est le Bluetooth. Viennent ensuite les réseaux locaux (WLAN, *Wireless Local Area Network* ou RLAN, *Radio Local Area Network*) qui atteignent une centaine de mètres. Vedette de cette catégorie : la technologie Wi-Fi. Au-delà, on trouve les réseaux métropolitains (WMAN, *Wireless Metropolitan Network*), avec une portée de 4 à 10 km, et les réseaux étendus (WWAN, *Wireless Wide Area Network*). Ils sont destinés à la téléphonie sans fil et aux réseaux longue distance.

1- Standard IEEE 802.11 :

La norme *IEEE 802.11 (ISO/IEC 8802-11)* est un standard international décrivant les caractéristiques d'un réseau local sans fil (WLAN). Le nom **Wi-Fi** (contraction de *Wireless Fidelity*, parfois notée à tort *WiFi*) correspond initialement au nom donné à la certification délivrée par la Wi-Fi Alliance, anciennement WECA (*Wireless Ethernet Compatibility Alliance*), l'organisme chargé de maintenir l'interopérabilité entre les matériels répondant à la norme 802.11. Par abus de langage (et pour des raisons de marketing) le nom de la norme se confond aujourd'hui avec le nom de la certification. Ainsi un réseau Wifi est en réalité un réseau répondant à la norme 802.11.

1.1- Présentation du WiFi (802.11) :

La norme 802.11 s'attache à définir les couches basses du modèle OSI pour une liaison sans fil utilisant des ondes électromagnétiques, c'est-à-dire :

- la couche physique (notée parfois *couche PHY*), proposant trois types de codages de l'information.
- la couche liaison de données, constitué de deux sous-couches : le contrôle de la liaison logique (**Logical Link Control**, ou **LLC**) et le contrôle d'accès au support (**Media Access Control**, ou **MAC**)

La couche physique définit la modulation des ondes radio-électriques et les caractéristiques de la signalisation pour la transmission de données, tandis que la couche *liaison de données* définit l'interface entre le bus de la machine et la couche physique, notamment une méthode d'accès proche de celle utilisée dans le standard ethernet et les règles de communication entre les différentes stations. La

norme 802.11 propose en réalité trois couches physiques, définissant des modes de transmission alternatifs :

Couche Liaison de données (MAC)	802.2		
	802.11		
Couche Physique(PHY)	DSSS	FHSS	Infrarouges

Table (1.1) les différents couches de la norme IEEE 802.11

1.2- Les différentes normes WiFi :

La norme *IEEE 802.11* est en réalité la norme initiale offrant des débits de 1 ou 2 Mbps. Des révisions ont été apportées à la norme originale afin d'optimiser le débit (c'est le cas des normes 802.11a, 802.11b et 802.11g, appelées normes 802.11 physiques) ou bien préciser des éléments afin d'assurer une meilleure sécurité ou une meilleure interopérabilité. Voici un tableau (1.2) présentant les différentes révisions de la norme 802.11 et leur signification :

Standard	Bandes de fréquences	Débit	Portée
WiFi a (802.11a)	5 GHz	54 Mbit/s	10 m
WiFi b (802.11b)	2.4 GHz	11 Mbit/s	100 m
WiFi g (802.11g)	2.4 GHz	54 Mbit/s	100 m
WiFi n (802.11n)	2.4 GHz ou 5 GHz	540 Mbit/s	200 m

Table (1.2) les différentes modes de la norme 802.11

2- Standard IEEE 802.16 :

WiMAX est l'abréviation pour *Worldwide Interoperability for Microwave Access*. Il s'agit d'un standard de réseau sans fil métropolitain créé par les sociétés Intel et Alvarion en 2002 et ratifié par l'IEEE (*Institute of Electrical and Electronics Engineer*) sous le nom IEEE-802.16. Plus exactement, **WiMAX** est le label commercial délivré par le *WiMAX Forum* aux équipements conformes à la norme IEEE 802.16, afin de garantir un haut niveau d'interopérabilité entre ces différents équipements.

2.1- Objectifs du WiMAX :

L'objectif du WiMAX est de fournir une connexion internet à haut débit sur une zone de couverture de plusieurs kilomètres de rayon. Ainsi, dans la théorie, le WiMAX permet d'obtenir des débits montants et descendants de 70 Mbit/s avec une portée de 50 kilomètres. Le standard WiMAX possède l'avantage de permettre une connexion sans fil entre une station de base (en anglais *Base Transceiver Station*, notée *BTS*) et des milliers d'abonnés sans nécessiter de ligne visuelle directe (en anglais *Line Of Sight*, parfois abrégés *LOS*) ou *NLOS* pour *Non Line Of Sight*). Dans la

réalité le WiMAX ne permet de franchir que de petits obstacles tels que des arbres ou une maison mais ne peut en aucun cas traverser les collines ou les immeubles. Le débit réel lors de la présence d'obstacles ne pourra ainsi excéder 20 Mbit/s.

2.2- WiMax fixe et WiMAX mobile :

Les révisions du standard IEEE 802.16 se déclinent en deux catégories (table (2.1)) :

- **WiMAX fixe**, également appelé *IEEE 802.16-2004*, est prévu pour un usage fixe avec une antenne montée sur un toit, à la manière d'une antenne TV. Le WiMAX fixe opère dans les bandes de fréquence 2.5 GHz et 3.5 GHz, pour lesquelles une licence d'exploitation est nécessaire, ainsi que la bande libre des 5.8 GHz.
- **WiMAX mobile** (en anglais *WiMAX portable*), également baptisé *IEEE 802.16e*, prévoit la possibilité de connecter des clients mobiles au réseau internet. Le WiMAX mobile ouvre ainsi la voie à la téléphonie mobile sur IP ou plus largement à des services mobiles haut débit.

Standard	Bande de fréquence	Débit	Portée
WiMAX fixe (802.16-2004)	2-11 GHz (3,5 GHz en Europe)	75 Mbits/s	10 km
WiMAX mobile (802.16e)	2-6 GHz	30 Mbits/s	3,5 km

Table (2.1) les catégories du standard IEEE 802.16

2.3- Les différentes normes Wimax :

Le standard WiMAX intègre nativement la notion de **Qualité de Service** (souvent notée *QoS* pour *Quality Of Service*), c'est-à-dire la capacité à garantir le fonctionnement d'un service à un utilisateur. Dans la pratique, WiMAX permet ainsi de réserver une bande-passante pour un usage donné. En effet, certains usages ne peuvent pas tolérer de goulots d'étranglement. C'est le cas notamment de la voix sur IP (*VOIP*) car la communication orale ne peut pas tolérer de coupures de l'ordre de la seconde.

Standard	Bande de fréquence	Etat	Portée
IEEE std 802.16	Définit des réseaux métropolitains sans fil sur des bandes de fréquences supérieures à 10 GHz.	Octobre 2002	Obsolète
IEEE std 802.16a	Définit des réseaux métropolitains sans fil sur des bandes de fréquences comprises entre 2 et 11 GHz.	9 octobre 2003	Obsolète
IEEE 802.16b	Définit des réseaux métropolitains sans fil dans les bandes de fréquences comprises entre 10 et 60 GHz.		Fusionné avec 802.16a (Obsolète)
IEEE std 802.16c	Définit des options (profils) pour les réseaux métropolitains sans fil dans les bandes de fréquences libres.		juillet 2003

Table (2.2) les différents standard IEEE 802.16

3- Le standard 3GPP LTE :

Le LTE (*Long Term Evolution*) est une évolution des normes de téléphonie mobile GSM/EDGE, CDMA2000, TD-SCDMA et UMTS.

La norme LTE, définie par le consortium 3GPP, a d'abord été considérée comme une norme de troisième génération « 3.9G » (car proche de la 4G), spécifiée dans le cadre des technologies IMT-2000, car dans les « versions 8 et 9 » de la norme, elle ne satisfaisait pas toutes les spécifications techniques imposées pour les normes 4G par l'Union internationale des télécommunications (UIT). La norme LTE n'est pas figée, le consortium 3GPP la fait évoluer en permanence (en général, une nouvelle version tous les 12 à 18 mois).

Les réseaux mobiles LTE sont commercialisés sous l'appellation « 4G » par les opérateurs de nombreux pays. Le LTE utilise des bandes de fréquences hertziennes d'une largeur pouvant varier de 1,4 MHz à 20 MHz dans une plage de fréquences allant de 450 MHz à 3,8 GHz selon les pays. Il permet d'atteindre (pour une largeur de bande de 20 MHz) un débit binaire théorique de 300 Mbit/s en « liaison descendante » (*downlink*, vers le mobile). La « vraie 4G⁵ », appelée LTE Advanced¹ offrira un débit descendant pouvant atteindre ou dépasser 1 Gbit/s ; ce débit nécessitera l'utilisation de bandes de fréquences agrégées de 2×100 MHz de largeur qui sont définies dans les versions 10 à 15 (3GPP releases 10, 11, 12, 13, 14 et 15) des normes *LTE Advanced*.

	GSM/GPRS/EDGE	UMTS Release 99	HSPA	HSPA+ Release 8
Débit maximal UL	118 Kbit/s	384 Kbit/s	5,8 Mbit/s	11,5 Mbit/s
Débit maximal DL	236 Kbit/s	384 Kbit/s	14,4 Mbit/s	42 Mbit/s
Latence	300 ms	250 ms	70 ms	30 ms
Largeur de canal	200 kHz	5 MHz	5 MHz	5 MHz avec possibilité de deux canaux simultanés
Technique d'accès multiples	FDMA/TDMA	CDMA	CDMA/TDMA	CDMA/TDMA
Modulation DL Modulation UL	GMSK 8PSK	QPSK BPSK	QPSK, 16QAM BPSK, QPSK	QPSK, 16QAM, 64QAM BPSK, QPSK, 16QAM
Bandes de fréquences usuelles (MHz)	900/1800	900/2100	900/2100	900/2100

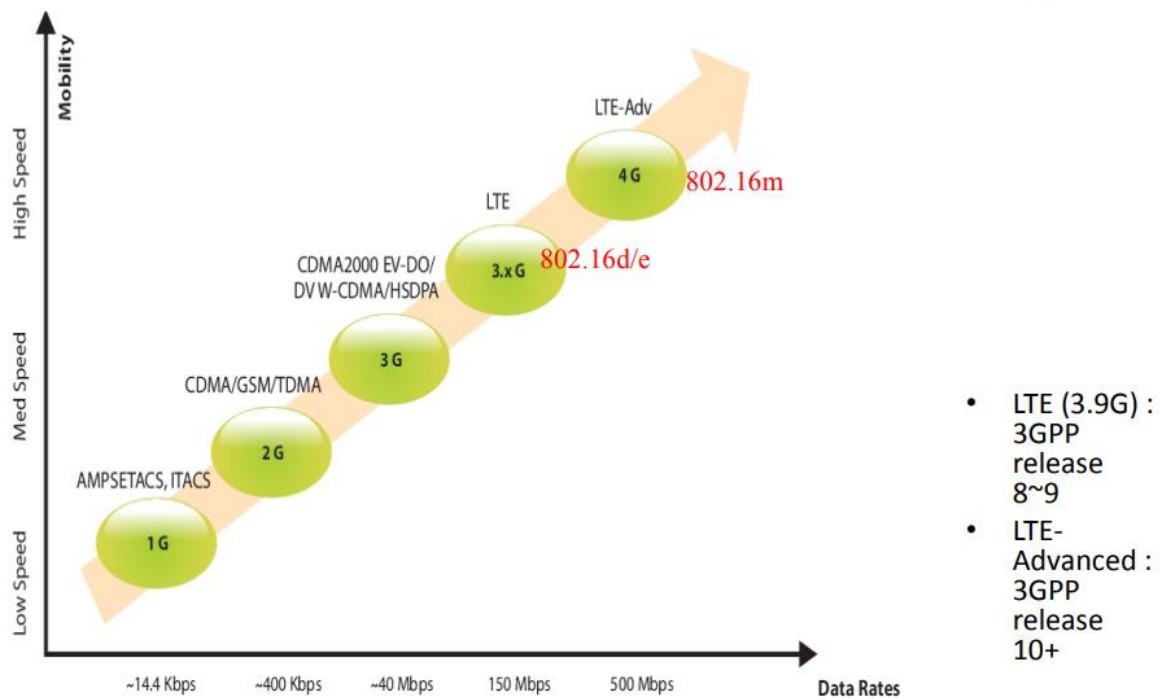
3.1- Les caractéristiques du LTE :

Le LTE utilise l'accès multiple par division orthogonale de fréquence (OFDMA) pour la transmission de données en liaison descendante et un accès AMRF à porteuse unique (SCFDMA) pour la transmission en liaison montante.

- Il offre un débit de donnée crête sur la voie montante de 50 Mbits/s
- un débit pic théorique de 100 Mbits/s à 300 sur la voie descendante et un temps d'aller-retour de moins de 10 ms sur l'interface radio (RAN).
- Le LTE utilise une largeur de bande de 2x20 MHz et supporte le duplexage temporel (TDD) ou fréquentiel (FDD) ;
- la taille des cellules est de 5 km pour des performances optimales.
- Ces performances sont possibles grâce à l'utilisation d'antennes MIMO (Multiple Input Multiple Output) avec les techniques de transmission OFDM (Orthogonal Frequency Division Multiplexing), d'accès multiples : OFDMA (OFDM Multiple Access) sur la voie descendante et la technique SCFDMA (Single-Carrier FDMA) sur la voie montante ◊ réduire le problème du canal

La figure A.1 illustre l'évolution du standard LTE

Evolution of Radio Access Technologies



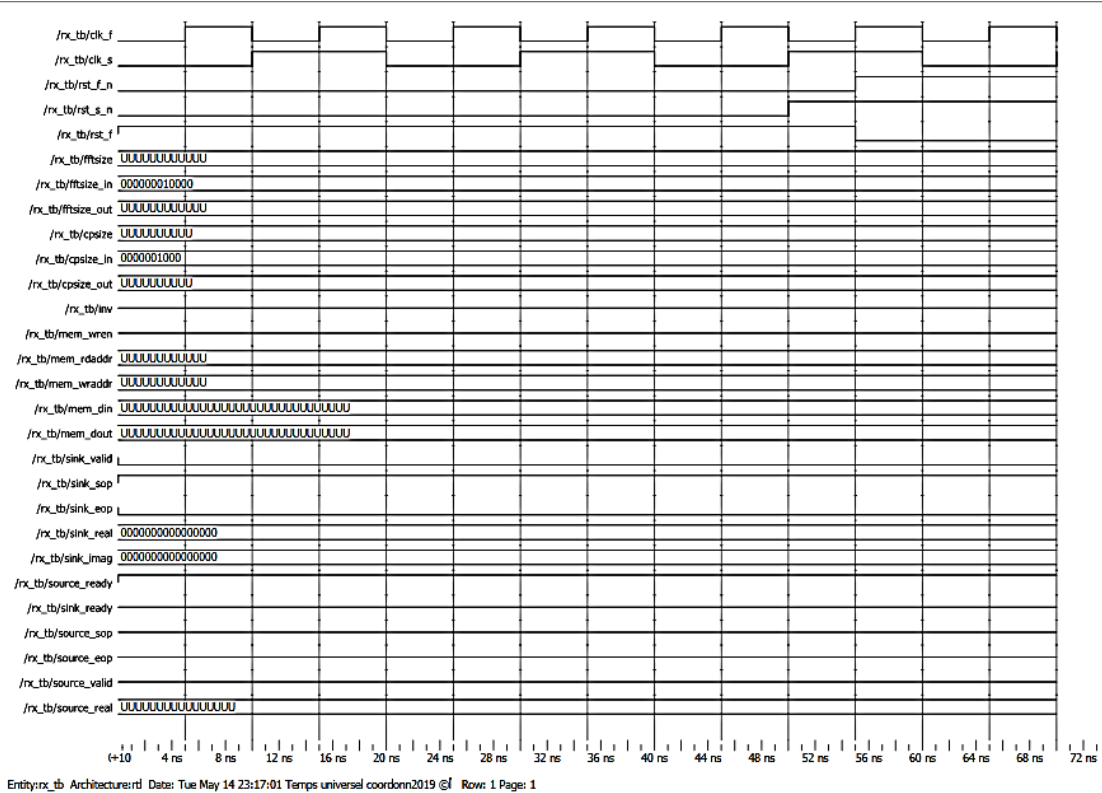


Figure B.2 Chronogrammes des modules de la réception du modulateur OFDM

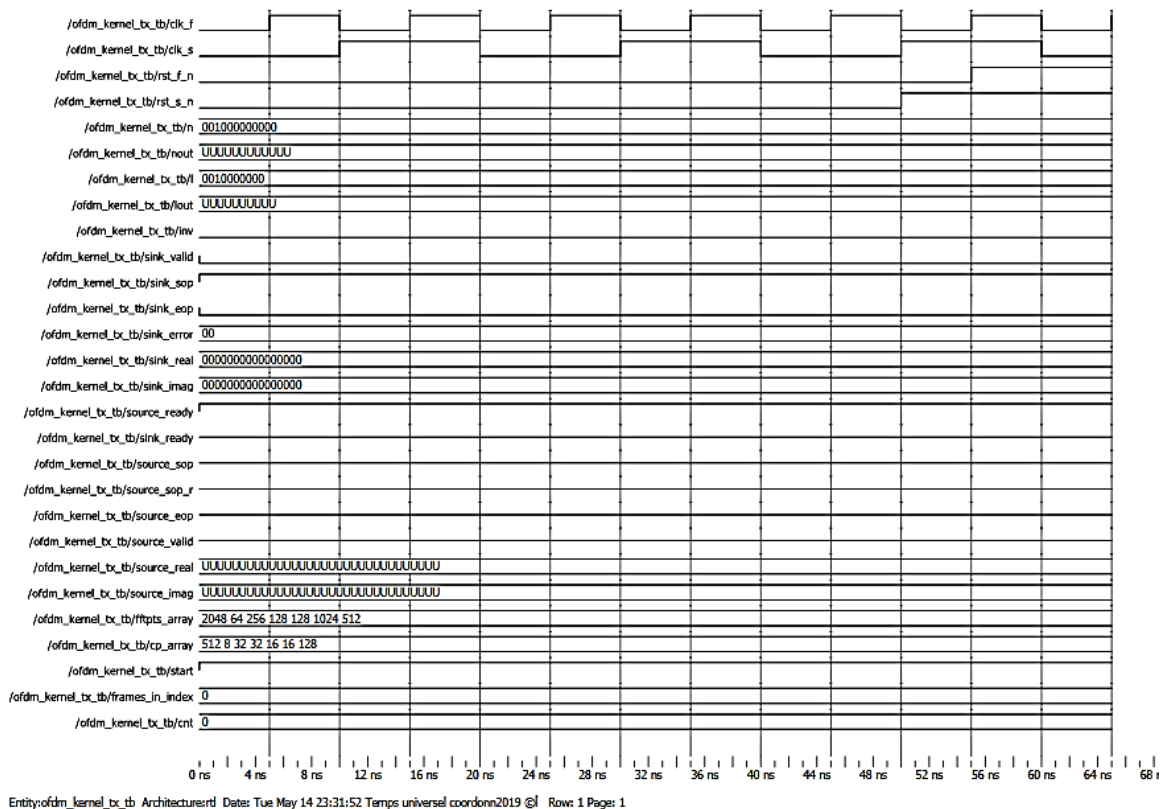


Figure B.3 montre le chronogramme de fonctionnement d'insertion de préfixe cyclique

Annexe C

Datasheet FPGA EP3SL150F780C2 :

La famille Stratix® III est l'un des FPGA les plus avancés du marché sur le plan de l'architecture et des hautes performances.

Les FPGA Stratix III réduisent la consommation d'énergie grâce à la technologie d'alimentation programmable innovante d'Altera, qui permet d'activer les performances là où cela est nécessaire et de réduire la consommation d'énergie des blocs inutilisés. La tension au cœur sélectionnable et les dernières optimisations de processus silicium sont également utilisées pour fournir les FPGA les plus performants et les plus économiques du marché.

Spécialement conçue pour une utilisation simple et une intégration système rapide, la famille de FPGA Stratix III offre deux variantes optimisées pour répondre aux différents besoins de l'application :

- La famille Stratix III L fournit des rapports équilibrés entre logique, mémoire et multiplicateur pour les applications grand public.
- La famille Stratix III E est riche en mémoire et en multiplicateurs pour les applications centrées sur les données.

Les banques d'E / S modulaires avec une structure de banque commune pour la migration verticale apportent efficacité et flexibilité aux E / S à grande vitesse. Les améliorations apportées aux boîtiers et aux matrices avec une terminaison dynamique sur puce, un retard de sortie et un contrôle de l'intensité du courant fournissent une intégrité de signal de premier ordre.

Basée sur un processus SRAM sur cuivre toutes couches, 1,1 V et 65 nm, la famille Stratix III constitue une alternative programmable aux ASIC personnalisés et aux processeurs programmables pour la logique hautes performances, le traitement du signal numérique (DSP) et les conceptions intégrées.

Les périphériques Stratix III incluent une sécurité optionnelle du flux de bits de configuration via le cryptage AES (Advanced Encryption Standard) 256 bits, volatile ou non volatile. Lorsqu'une fiabilité extrême est requise, les périphériques Stratix III incluent un circuit de détection automatique des erreurs pour détecter la corruption des données due à des erreurs logicielles dans la mémoire de configuration (CRAM) et les cellules de mémoire utilisateur.

Résumé des fonctionnalités :

Les circuits Stratix III offrent les fonctionnalités suivantes :

- 48 000 à 338 000 éléments logiques équivalents (voir le tableau C-1)
- Mémoire TriMatrix améliorée de 2 430 à 20 497 kbits composée de trois tailles de blocs de mémoire vive permettant d'implémenter de véritables mémoires tampon double port et FIFO
- Les blocs DSP haute vitesse fournissent une implémentation dédiée de multiplicateurs 9×9 , 12×12 , 18×18 et 36×36 (jusqu'à 550 MHz), de fonctions d'accumulation multiple et de filtres à réponse impulsionnelle finie (FIR)
- Rapport E / S: GND: PWR de 8: 1: 1 avec découplage sur puce et sur boîtier pour une intégrité de signal robuste
- Technologie d'alimentation programmable, qui minimise la consommation d'énergie tout en optimisant les performances du périphérique.
- La tension de noyau sélectionnable, disponible dans les appareils basse tension (suffixe de code de commande L), permet de sélectionner la puissance la plus faible ou le fonctionnement le plus performant
- Jusqu'à 16 horloges mondiales, 88 horloges régionales et 116 horloges périphériques par périphérique
- Jusqu'à 12 boucles à verrouillage de phase (PLL) par périphérique prenant en charge la reconfiguration des PLL, la commutation d'horloge, la largeur de bande programmable, la synthèse d'horloge et le déphasage dynamique
- Prise en charge de l'interface mémoire avec logique DQS dédiée sur toutes les banques d'E / S
- Prise en charge d'interfaces de mémoire externe à grande vitesse, notamment DDR, DDR2, SDRAM DDR3, RDRAM II, QDR II et QDR II + SRAM sur jusqu'à 24 banques d'E / S modulaires
- Jusqu'à 1 104 broches d'E / S utilisateur réparties dans 24 banques d'E / S modulaires prenant en charge un large éventail de normes d'E / S du secteur
- OCT (Dynamic On-Chip Termination) avec prise en charge de l'étalonnage automatique sur tous les bancs d'E / S.
- Prise en charge des E / S différentielles à haute vitesse avec un sérialiseur / désérialiseur (SERDES) et un circuit d'alignement de phase dynamique (DPA) pour des performances de 1,6 Gbps
- Prise en charge des normes de réseau et de bus de communication haut débit, notamment SPI-4.2, SFI-4, SGMII, Utopia IV, XSBI Ethernet 10 gigabits, Rapid I / O et NPSI
- Le seul FPGA haute densité et hautes performances prenant en charge la clé de sécurité AES 256 bits, volatile et non volatile, pour protéger les conceptions
- Prise en charge à chaud de la fixation à chaud et du séquençage de l'alimentation sur puce

- Contrôle de redondance cyclique intégré (CRC) pour la détection d'erreur de mémoire de configuration avec détermination d'erreur critique pour la prise en charge de systèmes à haute disponibilité
- Circuit intégré de codage à correction d'erreur (ECC) pour détecter et corriger les erreurs de données dans les blocs de mémoire M144K TriMatrix
- Prise en charge du processeur intégré Nios® II
- Prise en charge de plusieurs mégafonctions de propriété intellectuelle à partir des fonctions Altera® MegaCore® et du programme de partenaires Altera Megafunction (AMPPSM)

Tableau C.1. Fonctionnalités de la famille FPGA pour les circuits Stratix III

	Device/ Feature	ALMs	LEs	M9K Blocks	M144K Blocks	MLAB Blocks	Total Embedded RAM Kbits	MLAB RAM Kbits (1)	Total RAM Kbits(2)	18×18-bit Multipliers (FIR Mode)	PLLs (3)
Stratix III Logic Family	EP3SL50	19K	47.5K	108	6	950	1,836	297	2,133	216	4
	EP3SL70	27K	67.5K	150	6	1,350	2,214	422	2,636	288	4
	EP3SL110	43K	107.5K	275	12	2,150	4,203	672	4,875	288	8
	EP3SL150	57K	142.5K	355	16	2,850	5,499	891	6,390	384	8
	EP3SL200	80K	200K	468	36	4,000	9,396	1,250	10,646	576	12
	EP3SL340	135K	337.5K	1,040	48	6,750	16,272	2,109	18,381	576	12
Stratix III Enhanced Family	EP3SE50	19K	47.5K	400	12	950	5,328	297	5,625	384	4
	EP3SE80	32K	80K	495	12	1,600	6,183	500	6,683	672	8
	EP3SE110	43K	107.5K	639	16	2,150	8,055	672	8,727	896	8
	EP3SE260	102K	255K	864	48	5,100	14,688	1,594	16,282	768	12

Caractéristiques de l'architecture :

La section suivante décrit les différentes fonctionnalités des FPGA de la famille Stratix III :

- Blocs de matrice logique et modules de logique adaptative
- Interconnexion MultiTrack
- TriMatrix Blocs de mémoire intégrés
- Blocs DSP
- Réseaux d'horloges et PLL
- Banques d'E / S et structure d'E / S
- Interfaces de mémoire externes

Informations de commande :

La Figure C.1 illustre les codes de commande des périphériques Stratix III.

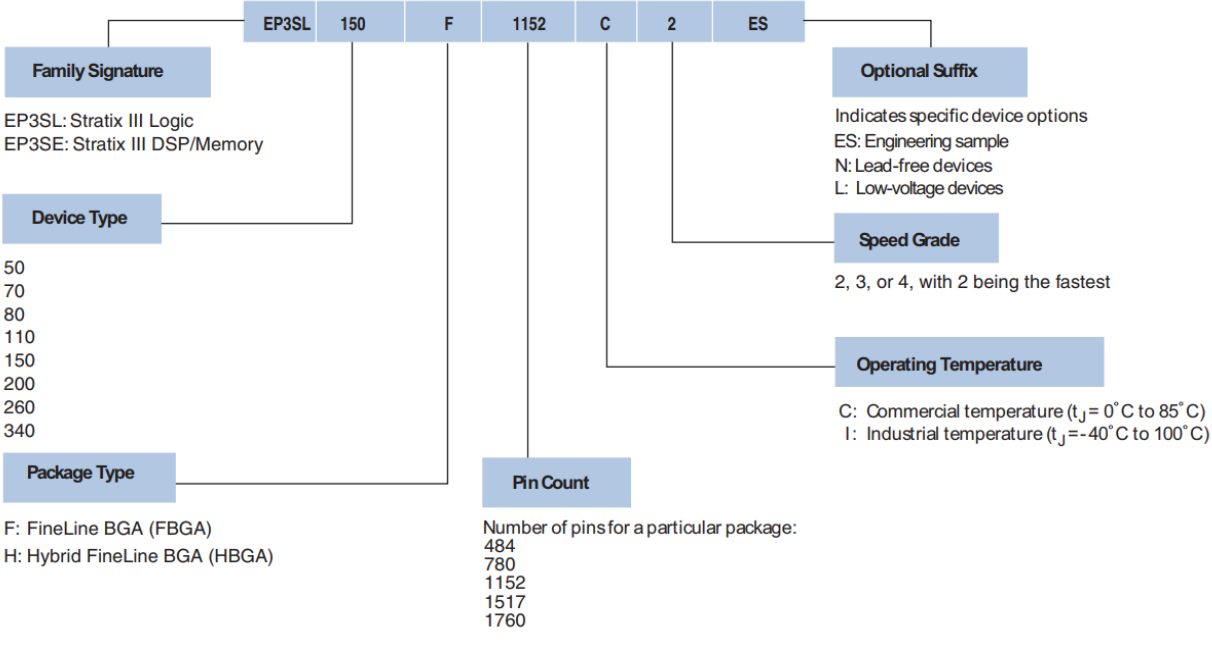


Figure C.1 les codes de commande des périphériques Stratix III