

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

Ministère de l'enseignement supérieur et de la recherche scientifique



Université Djillali Liabès de Sidi Bel Abbès

Faculté de Génie Electrique

Département d'Electronique

THESE

**Présentée pour l'obtention du
Diplôme de Doctorat en Sciences**

OPTION: Caractérisation des matériaux et dispositifs électroniques

PAR :

Khalid TOUMI

INTITULE :

**Modélisation analytique de l'effet de l'éclairement sur la
mobilité d'effet de champ des TFTs au silicium
polycristallin**

Soutenue ledevant le jury :

M^f SOUDINI Belabbès	Professeur U .D.L Sidi Bel Abbès	Président
M^{me} BOUREZIG Yamina	Professeur U.D.L Sidi Bel Abbès	Encadreur
M^f MILOUA Redouane	Professeur U. Tiaret	Examineur
M^f SAHNOUN Mohammed	Professeur U. Mascara	Examineur

Année Universitaire 2019-2020

A mes parents

A ma famille

A mes frères et mes sœurs

A mes amis.

Remerciements

Ce travail, présenté dans ce mémoire, a été effectué au sein du laboratoire d'élaboration et de caractérisation des matériaux de l'université de Sidi bel Abbès, sous la direction de M^{me} Y.BOUREZIG, Professeur au département d'électronique.

Qu'elle trouve ici l'expression de ma profonde gratitude, pour avoir suivi tout particulièrement ce travail. Pour la confiance qu'elle m'a accordée, pour ses conseils précieux qui m'ont été d'une grande utilité, pour son encouragement et sa compréhension tout le long de ce travail, qu'elle soit remerciée.

Je suis très honoré que M^r SOUDINI Belabbès, Professeur au département d'électronique de l'Université de Sidi Bel abbès, ait accepté la présidence de ce jury. Je tiens à lui exprimer ma profonde gratitude.

Je remercie également Messieurs : MILOUA Redouane Professeur à l'université de Tiaret, et SAHNOUN Mohammed Professeur à l'université de Mascara, pour l'honneur qu'ils m'ont fait en acceptant la lourde tâche de rapporter ce travail de thèse. Qu'ils trouvent ici le témoignage de ma gratitude pour leurs participations au jury.

Je n'oublie pas de remercier tous les personnes de l'institut national de Lyon (INL), et les membres du laboratoire de physique du solide de l'Université Mentouri de Constantine, de m'avoir permis d'effectuer les mesures sous éclairément.

Je voudrais aussi remercier tous les enseignants qui m'ont aidé durant ma formation universitaire.

Enfin, je remercie vivement tous les membres du laboratoire d'élaboration et de caractérisation des matériaux qui m'ont si bien accueilli et apporté aide et soutien durant toute la durée de ce travail.

Table des matières

Introduction Générale.....1

**CHAPITRE I : Silicium Polycristallin, Caractéristiques
et Techniques d'Elaboration**

I.1 Introduction6

I.2 Présentation de la technologie TFT Polysilicium.....6

I.3 Structure cristalline du film du silicium polycristallin.....7

I.4 Propriétés électriques du silicium polycristallin.....8

 1.4.1 Distribution du dopant.....8

 I.4.2 Principaux modèles de conduction électrique dans le silicium polycristallin.....11

I.5 Méthodes de déposition des couches minces pour le silicium.....15

 I.5.1 Méthodes utilisant une source solide de silicium.....16

 I.5.1.1 L'évaporation par effet joule sous vide.....17

 I.5.1.2 La pulvérisation cathodique.....17

 I.5.2 Méthodes utilisant une source gazeuse de silicium.....17

 I.5.2.1 La technique de décomposition en phase gazeuse assistée par plasma ou
P.E.C.V.D (*Plasma Enhanced Chemical Vapor Deposition*).....17

 I.5.2.2 La technique de décomposition en phase gazeuse à pression atmosphérique
ou APCVD.....18

 I.5.2.3 La technique de décomposition en phase gazeuse à basse pression ou
LPCVD (*Low Pressure Chemical Vapor Deposition*).....19

 I.5.2.4 La technique R.T.C.V.D (*Rapid Thermal CVD*).....20

I.6 Méthodes de cristallisation.....20

 I.6.1 La cristallisation en phase solide.....21

 I.6.2 La cristallisation par LASER après un passage en phase liquide.....22

I.7 Autres méthodes d'augmentation de la taille des grains.....23

I.8 Hydrogénation.....	24
I.9 Oxyde de grille.....	26
I.9.1 Classification des défauts.....	27
I.9.2 Techniques d’obtention du dioxyde de silicium	28
I.10 Conclusion.....	29

CHAPITRE II: Etat de l’art des technologies transistors en couches minces au polysilicium et leurs applications

II.1 Introduction.....	31
II.2 Définition des transistors en couches minces (TCM).....	31
II. 2.1 Matériaux et structures.....	32
II.2.1.1 Différents matériaux.....	32
II.2.1.2 Différentes structures.....	34
II.2.1.3 Les différents substrats des TFTs au Poly-Si.....	35
II.2.1.4 Comparaison avec le MOSFET.....	36
II.3 Procédé de fabrication des transistors MOS au silicium polycristallin.....	37
II.3.1 Présentation générale du procédé.....	37
II.3.2 Mise au point du procédé de réalisation.....	39
II.3.2.1 Dépôt du silicium polycristallin.....	39
II.3.2.2 Définition de la couche active.....	39
II.3.2.3 Réalisation de la grille.....	41
II.3.2.4 Dopage de la grille, source et drain.....	42
II.3.2.4.1 Avantages de l’implantation ionique.....	43
II.3.2.4.2 Défauts et recuit.....	43

II.3.2.5 Réalisation et gravure de l'oxyde de protection.....	44
II.3.2.6 Réalisation des contacts métalliques.....	45
II.4 Régimes de fonctionnement du TFT en poly-Si basse température.....	45
II.4.1 Paramètres électriques des TFTs au polysilicium.....	50
II.4.1.1 Tension de seuil.....	50
II.4.1.2 Pente sous le seuil	50
II.4.1.3 Mobilité des porteurs.....	51
II.4.1.4 Rapport I_{ON} / I_{OFF}	51
II.5 Impact de la taille des grains sur les performances des transistors.....	52
II.6 Applications grande surface de la technologie transistors en couches minces en silicium polycristallin.....	52
II.6.1 Historique.....	52
II.6.2 Principe de fonctionnement.....	53
II.6.2.1 Les écrans LCDs.....	53
II.6.2.2 Les écrans OLEDs.....	55
II.7 Conclusion.....	58
CHAPITRE III : Modélisation de la mobilité des porteurs dans les TFTs au Silicium Polycristallin	
III.1 Introduction.....	60
III.2 Mise en équation du courant de drain en régime sous le seuil.....	60
III.3 Origine et nature des états dans le silicium polycristallin.....	62
III.3.1 Distribution de Dirac (δ).....	62
III.3.2 Distribution en forme de U.....	63
III.4 Formulation du modèle analytique de la mobilité d'effet de champ.....	64
III.4.1 Choix du modèle et hypothèses considérées.....	64
III.4.2 Modèle de piégeage-dépiégeage multiple.....	66

III.4.3 Mise en place du modèle	66
III.4.4 Méthode de résolution numérique.....	69
III.4.4.1 Historique.....	69
III.4.4.2 Méthode de Newton-Raphson.....	69
III.4.4.3 La fonction de Lambert W.....	70
III.4.4.4 Calcul de la fonction de Lambert W.....	71
III.4.4.5 Détermination de la mobilité d'effet de champ expérimentale.....	73
III.5 Conclusion.....	74

CHAPITRE IV : Résultats et Discussion

IV. 1 Introduction.....	76
IV.2 Préparation des échantillons.....	76
IV.3 Caractérisation électrique.....	77
IV.3.1 Silicium déposé directement polycristallin.....	77
IV.3.2 Polysilicium déposé amorphe puis cristallisé.....	79
IV.3.2.1 Effet de la longueur du canal.....	82
IV.3.2.2 Effet de l'épaisseur de la couche active.....	84
IV.4 Résultats de la modélisation et discussion.....	86
IV.4.1 Effet de la tension de grille et du drain.....	88
IV.4.2 Observation de l'Effet Meyer-Neldel dans les TFTs au polysilicium.....	89
IV.4.3 Effet des paramètres N_T et kT_t	92
IV.4.4 Validation du modèle propose.....	93
IV.5 CONCLUSION.....	94
CONCLUSION GÉNÉRALE.....	96

Liste des figures

CHAPITRE I : Silicium Polycristallin, Caractéristiques et Techniques d'Elaboration

<i>Figure I.1: Structure du silicium polycristallin</i>	8
<i>Figure I.2 : Distribution des dopants et des porteurs libres dans une couche de silicium polycristallin.....</i>	9
<i>Figure I.3: Variation en fonction du dopage d'après Mandurah [40] de (a) la résistivité, (b) la concentration des porteurs et (c) la mobilité des porteurs.....</i>	10
<i>Figure I.4: Méthodes de dépôt du silicium en couches minces.....</i>	16
<i>Figure I.5: Schéma descriptif du principe de la technique PECVD.....</i>	18
<i>Figure I.6: Schéma descriptif du principe de la technique APCVD.....</i>	18
<i>Figure I.7 : Schéma descriptif du principe de la technique LPCVD</i>	19
<i>Figure I.8: Densité d'états dans le cas d'un transistor hydrogéné (points) et non hydrogéné (croix) dans le cas de transistors avec couche active en polysilicium SPC.....</i>	26
<i>Figure I.9 : Représentation des défauts dans l'oxyde de grille et à l'interface Si/SiO₂.....</i>	29

CHAPITRE II: Etat de l'art des technologies transistors en couches minces au polysilicium et leurs applications

<i>Figure II.1 : Schéma général d'un TFT à canal N.....</i>	32
<i>Figure II.2: Schéma des structures de TFT classiques, sans passivation.....</i>	35
<i>Figure II.3: Structure d'un MOSFET.....</i>	36
<i>Figure II.4: Procédé de fabrication des TFTs dont la couche active et la grille sont au polysilicium.....</i>	38
<i>Figure II.5 : la structure après dépôt du silicium non dopé.....</i>	39
<i>Figure II.6 : Vue en coupe de la structure après définition de la couche active.....</i>	41
<i>Figure II.7 : Dépôt de l'oxyde mince et de la couche polycristalline servant à l'électrode de grille.....</i>	42

<i>Figure II.8 : Structure obtenue après définition de la grille</i>	42
<i>Figure II.9:Dopage de la grille, source et drain</i>	43
<i>Figure II.10 : Gravure de l'oxyde de protection (Ouverture des contacts)</i>	44
<i>Figure II.11 : Structure finale du TFT</i>	45
<i>Figure II.12 : Régimes de fonctionnement des transistors au silicium polycristallin</i>	46
<i>Figure II.13: Caractéristique de transfert en échelle logarithmique d'un TFT</i>	47
<i>Figure II.14 : Représentation et principe de fonctionnement d'une cellule à cristaux liquides dans un écran plat ou LCD</i>	54
<i>Figure II.15 : Adressage d'une matrice active à cristaux liquides AMLCD</i>	55
<i>Figure II.16. Présentation d'un pixel d'écran à base d'une OLED</i>	56
<i>Figure II.17: Schéma de la matrice de transistors pour la commande des OLEDs</i>	57

CHAPITRE III : Modélisation de la mobilité des porteurs dans les TFTs au Silicium Polycristallin

<i>Figure III.1:Distribution des états localisés dans le gap du silicium polycristallin</i>	63
<i>Figure III.2 : Modèle géométrique de la couche active du TFT</i>	65
<i>Figure III.3 : diagramme schématique décrivant la conduction limitée par les pièges associée aux états de queue de bandes</i>	65
<i>Figure III.4 : Illustration de la méthode de Newton Raphson</i>	70
<i>Figure III.5 : Les deux branches de la fonction de Lambert sur l'intervalle $]-\frac{1}{e}, +\infty[$</i>	71

CHAPITRE IV : Résultats et Discussion

<i>Figure IV.1:Schéma du dispositif expérimental pour la mesure du courant sous éclairement</i>	77
<i>Figure IV. 2:Caractéristiques électriques mesurées à l'obscurité et sous illumination</i>	79
<i>Figure IV.3 : Caractéristiques de transfert mesurées à l'obscurité et sous éclairement du TFT entièrement hydrogéné à base de Silicium amorphe cristallisé</i>	80

Figure. IV.4 : Caractéristiques électriques des TFTs à base de silicium amorphe, cristallisé et entièrement hydrogénés mesurées à l'obscurité et sous illumination.....83

Figure IV.5: Courants mesurés sous illumination en fonction de l'épaisseur de la couche active85

Figure IV.6 : Mobilité d'effet de champ calculée à l'obscurité et sous éclairage en fonction de la tension de grille (a), tension de drain (b).....89

Figure IV.7: Représentation d'Arrhenius de la mobilité des porteurs sous illumination. Chaque courbe est tracée à une tension de grille appartenant à la région sous le seuil. La température T_{MN} de Meyer Neldel est également indiquée.....91

Figure IV.8: Dépendance du facteur pré-exponentiel de l'énergie d'activation E_A^*92

Figure IV.9 : Variation de la mobilité d'effet de champ en fonction de: a- la densité d'état des queues de bandes, b- l'énergie caractéristique kT_i93

Figure IV.10: Comparaison des résultats expérimentaux et calculés de la mobilité d'effet de champ.....94

Liste des tableaux

CHAPITRE II:

Tableau II.1 : Température maximale de fabrication selon le type de substrat36

CHAPITRE III:

Tableau III.1 : Solutions de $W(x)$ pour différentes valeurs de x72

CHAPITRE IV:

Tableau IV. 1: Paramètres technologiques et physiques utilisés dans la modélisation.....87

Abréviations et constantes

TFT	Thin film transistor ou transistor en couches minces
MOSFET	Transistor à effet de champ à structure métal-oxyde-semiconducteur
AMLCD	Active Matrix Liquid Crystal Displays ou Matrice active à cristaux liquides
AMOLED	Active Matrix Organic Electroluminescent Diodes ou Matrice active à diodes électroluminescentes organiques
HPTS	polysilicium haute température
LPTS	polysilicium basse température
Q_T	Densité surfacique totale de pièges aux joints de grains
E_F	Niveau de Fermi
E_T	Energie du niveau piège dans la bande interdite du semi-conducteur
E_d	Hauteur de barrière de potentiel
E_A	Energie d'activation
N_D	Dopage de la couche
N_D^*	Concentration critique
L_G	Taille du grain
N_{TA}	Densité des états pièges accepteurs à niveaux discrets.
$D_0(E)$	Probabilité de transmission des porteurs libres à travers les barrières intergranulaires
J_g	Courant de génération
J_d	Courant de diffusion
G	Taux de génération des porteurs
D	Constante de diffusion
τ	Durée de vie des porteurs
E	Energie des porteurs libres
m_c^*	Masse effective des porteurs
V_g	Tension appliquée
n_0	Concentration des porteurs libres
h	Constante de PLANCK
q	Charge de l'électron
$q\phi_d$	Hauteur de barrière de potentiel intergranulaire
V_{GS}	Tension grille-substrat
n_0	Concentration des porteurs libres

I_{DS}	Courant de drain-source
V_{DS}	Tension drain-source
L	Longueur du canal
W	Largeur du canal
d	Épaisseur de la couche active polycristalline
ϵ_0	Permittivité diélectrique du vide, $\epsilon_0 = 8,85.10^{-12}F/m$
ϵ_{si}	Permittivité diélectrique de silicium
V_{DSAT}	Tension de saturation du TFT
J_s	Densité du courant de saturation inverse
PVD	Dépôt physique en phase vapeur
CVD	Dépôt chimique en phase vapeur
LPCVD	Dépôt chimique en phase vapeur à faible pression
PECVD	Dépôt chimique en phase vapeur assisté par plasma
APCVD	Dépôt chimique en phase vapeur à pression atmosphérique
E.C.R.C.V.D	Dépôt chimique en phase vapeur assisté par plasma en résonance cyclotron électronique
LTO	Oxyde basse temperature
TLC	Trap limited conduction
SPC	Solid Phase Crystallization
MIC	Metal Induced Crystallization
MILC	Recuit SPC assisté par métal
RTA	Recuit thermique rapide
T	Température
IGZO	Indium Gallium Zinc Oxide
MNR	Meyer NeldelRule
R_s	Résistance série
R_{sh}	Résistance shunt
μ_{eff}	Mobilité d'effet de champ
C_{ox}	Capacité surfacique de l'oxyde de grille
V_{TH}	Tension de seuil
n_i	Concentration intrinsèque
V_{FB}	Tension de bande plate
N_{iT}	Densité d'état d'interface

λ	Facteur de modulation de la longueur de canal
C_i	Capacité d'isolant de grille par unité de surface,
N_a	Concentration de dopants de type accepteur d'électrons
Q_{Dep}	Densité de charges fixes ionisées (charge de déplétion)
V_{DSAT}	Tension de saturation
kT	Energie thermique
J_S	Courant de saturation
$J_P(0)$	Densité du courant
N_{td}	Densité d'état des liaisons pendantes
N_T	Densité d'état des queues de bandes
E_C	Minimum de la bande de conduction
kT_t	Energie caractéristique de la queue de bande
n_{free}	Densité de porteurs libres
n_{trap}	Densité de porteurs piégés
g_m	Transconductance
G	Taux de génération des porteurs
Δn	Densité des porteurs générés par illumination
τ	Durée de vie des porteurs minoritaires
t_{ox}	Epaisseur de l'oxyde
ϕ_0	Densité de flux des photons incidents
V_{OP}	Photo-tension
μ_{band}	Mobilité de bande
E_a	Energie d'activation.
kT_{MN}	Energie de Meyer-Neldel

Introduction Générale

L'électronique grande surface est devenue un acteur important de l'industrie électronique. Elle est soutenue par une forte activité de recherche, de développement et de production. Aujourd'hui, la principale application d'électronique grande surface concerne l'affichage (écrans plats), mais elle s'étend aussi au domaine des imageurs, comme par exemple les imageurs à rayons X ou les capteurs d'empreintes.

Récemment, les transistors à film mince en silicium polycristallin (poly-Si), souvent désignés par leur acronyme anglais TFT (*Thin Film Transistor*) ont suscité une attention croissante en raison de leur application en tant que dispositifs de commutation dans les afficheurs à cristaux liquides à matrice active (AMLCD). Ces dispositifs en poly-Si sont parfaitement adaptés à une telle utilisation, et sont de première importance, lorsqu'il s'agit de piloter des matrices des écrans plats, où ils sont appelés à remplacer les TFTs en silicium amorphe, en raison d'une durée de vie des porteurs plus importante [1,2].

Par ailleurs, l'intérêt de l'utilisation du Silicium polycristallin dans ce type de composants réside dans le fait que les divers TFTs en poly-Si peuvent être intégrés directement sur le substrat en verre grâce à la facilité de dépôt du polysilicium. En effet, pour les écrans plats, il est impossible d'intégrer des transistors sur un wafer de silicium monocristallin pour des raisons de technologie. D'une part, il y a d'abord la taille maximale du wafer qui ne peut pas dépasser quelques dizaines de cm alors qu'il est aujourd'hui classique pour les écrans plats de travailler sur des substrats de plus de 2m. D'une autre part, la température maximale du processus de fabrication des transistors en silicium monocristallin est d'environ 1000°C tandis que celle des TFTs est de quelques centaines de °C, donc compatible avec les substrats verre de faible coût voire avec certains substrats plastiques.

Aussi, les TFTs en Poly-Si sont très stables dans le temps grâce à un matériau entièrement cristallin. Ceci permet de concurrencer directement les technologies TFT a-Si sur certains domaines applicatifs. Néanmoins, l'obtention du polysilicium se traduit par un coût de fabrication plus élevé et une conception plus difficile : des étapes supplémentaires telles que le recuit laser et l'implantation ionique sont nécessaires ainsi que des niveaux de masque supplémentaires par rapport à l'amorphe.

Le coût élevé de cette technologie est compensé par des très bonnes performances des TFTs en poly-Si. Ceux-ci montrent une très bonne stabilité de leurs paramètres au cours du fonctionnement, une grande mobilité, pouvant aller de 50 à 450 $\text{cm}^2/\text{V.s}$, ce qui en font de parfaits candidats pour la réalisation de drivers intégrés et de pixels OLED. Cependant, ils peuvent parfois afficher un courant en régime bloqué assez élevé. De même, la méthode de cristallisation présente des limites au niveau de l'homogénéité de la couche obtenue sur de grandes surfaces, ce qui restreint l'utilisation de ce matériau pour les écrans de petites et moyennes dimensions (typiquement, les écrans des téléphones et ordinateurs portables).

Bien que le poly-Si soit généralement reconnu comme étant moins photosensible que le silicium amorphe hydrogéné, il ne semble pas y avoir de consensus sur la photosensibilité des TFT poly-Si.

Ainsi, l'idée du sujet proposé dans le cadre de cette thèse de Doctorat, à caractère essentiellement pratique, porte d'abord sur l'étude de la photosensibilité des TFTs au polysilicium, puis, sur la base des résultats obtenus, un modèle analytique de la mobilité d'effet de champ dans les dispositifs entièrement hydrogénés est développé aussi bien à l'obscurité que sous éclairage. Ainsi, le manuscrit s'articule en quatre chapitres.

Dans le **premier chapitre**, nous présenterons les propriétés du matériau polysilicium, plus particulièrement, sa structure cristalline et ses propriétés électriques en les comparant avec son congénère monocristallin, Nous détaillerons aussi les différentes techniques liées au dépôt des couches minces de silicium et les méthodes de cristallisation et d'hydrogénation, ainsi que les techniques de dépôt de l'isolant de grille.

Le **deuxième chapitre** traitera au procédé de fabrication des transistors en couches minces de silicium polycristallin avec les différentes étapes technologiques utilisées. Nous présenterons ensuite le fonctionnement de ces transistors et les paramètres électriques importants qui vont servir par la suite à l'évaluation de leurs performances, pour finir par une description des diverses applications utilisant les transistors en couches minces en particulier dans le domaine des écrans plats.

Le **troisième chapitre** sera consacré à la mise en place d'un modèle adéquat de la mobilité d'effet de champ dans les TFTs en poly-Si, en régime sous le seuil. Le modèle est

basé sur la théorie de la conduction limitée par pièges, appelée aussi théorie de piégeage-dépiégeage multiple, et tiendra compte de la densité de pièges, la polarisation de la grille et du drain, et du flux d'éclairement dans le cas où le TFT est illuminé.

Le **quatrième chapitre** englobera d'une part, l'ensemble des résultats obtenus, à savoir les caractéristiques de transfert expérimentales, à l'obscurité et sous illumination. Ces dernières seront analysées et discutées en fonction de la longueur du canal, du temps d'hydrogénation et de l'épaisseur de la couche active.

D'une autre part, les résultats de la modélisation seront présentés, pour diverses valeurs de la densité d'états des queues de bandes, de leur énergie caractéristique, de la tension de grille et de drain.

La validité du modèle sera testée ensuite, en confrontant les tracés, théorique et expérimental de la mobilité d'effet de champ en fonction de V_{GS} .

Nous achèverons cette étude par une conclusion générale résumant l'ensemble des résultats significatifs obtenus.

Chapitre I

Silicium Polycristallin, Caractéristiques et Techniques d'Elaboration

I.1 Introduction

L'apparition du polysilicium remonte au début des années 70 afin de remplacer le métal dans la réalisation de grilles de transistors MOS. Il a également été utilisé pour la première fois dans des applications piézorésistives dans les années 70 et comme matériau mécanique dans les années 80.

Actuellement, le Silicium polycristallin, déposé en couches minces, est de plus en plus utilisé dans la technologie des circuits intégrés sous forme de couches fortement dopées pour les grilles de transistors MOS, et les niveaux d'interconnexion, mais aussi comme couches faiblement dopées pour obtenir des résistances de forte valeur, résistances de charge dans les mémoires MOS statiques par exemple. Dans la recherche d'une densité d'intégration toujours plus grande, les couches de poly-Si devraient permettre la réalisation de structures tridimensionnelles et dans cette perspective, une bonne compréhension des propriétés physiques et électriques des couches de poly-Si est indispensable.

À cette fin, nous présentons ici dans ce premier chapitre, le matériau silicium polycristallin, sa structure, sa croissance, et ses propriétés physiques et électriques. Ces dernières sont étudiées en fonction du dopage et comparées à celles du silicium monocristallin. Ce rappel reste nécessaire à la compréhension de la nature physique et de la conduction électrique dans ces couches utiles à notre étude.

Enfin, nous présenterons les différentes techniques liées au dépôt des couches minces de silicium. Les méthodes de cristallisation et d'hydrogénation sont aussi présentées ainsi que les techniques choisies pour déposer l'oxyde de grille du TFT.

I.2 Présentation de la technologie TFT Polysilicium

Parmi les TFTs, la technologie transistors à couches minces en silicium amorphe (a-Si : Amorphous Silicon en anglais) est aujourd'hui la plus mature et la plus répandue dans la fabrication industrielle de produits d'électronique grande surface. Elle est utilisée principalement pour des applications ne nécessitant pas des transistors rapides (commutateurs pour l'adressage des pixels dans les écrans plats). Elle présente des étapes technologiques bien définies et un faible coût de production. Mais, en contrepartie, les transistors en silicium

amorphe ont une mobilité d'effet de champ très faible (de l'ordre de $10^{-1}\text{cm}^2\text{V}^{-1}\text{s}^{-1}$) et une stabilité de la tension de seuil insuffisante dans le temps.

Pour pallier à ces problèmes, les transistors à couches minces en silicium polycristallin, nommé dans la suite poly-Si ont été développés et sont venus concurrencer le silicium amorphe.

En effet, le gain en mobilité des transistors en Poly-Si est multiplié par un facteur dix à cent suivant la technologie de cristallisation utilisée, par rapport à la technologie amorphe (TFT a-Si). Les performances des transistors TFT se trouvent par conséquent améliorées.

Aujourd'hui, la technologie TFT à base de silicium polycristallin, remplace la technologie amorphe dans certains domaines applicatifs tels que les écrans plats à matrices actives LCD (Liquid Crystal Display) ou OLED (Organic Light Emitting Display) [1], les imageurs à rayons X [2] ou les capteurs d'empreintes [3]. Aussi, elle permet d'ouvrir de nouvelles perspectives d'applications où la vitesse et la densité d'intégration sont des paramètres importants.

I.3 Structure cristalline du film du silicium polycristallin

Un film de silicium polycristallin ou polysilicium se présente comme une juxtaposition de monocristaux appelés grains séparés les uns des autres par des zones inter-granulaires (joints de grains), comme le montre la figure (I.1).

Le grain peut être défini par sa taille et par sa qualité cristalline, qui elle est déterminée par la densité des défauts existants. Ces défauts peuvent être des dislocations, induisant l'apparition de liaisons pendantes, qui sont électriquement actives ou des défauts d'empilements.

A l'intérieur de chaque cristallite, les atomes constituent un réseau périodique identique à celui d'un monocristal, contrairement aux joints de grains qui présentent une structure fortement désordonnée, entraînant l'apparition de centres pièges de porteurs libres. La structure du film polysilicium dépend étroitement des conditions de dépôt (pression, température...), et des traitements post dépôt que peut subir le matériau [5,6]

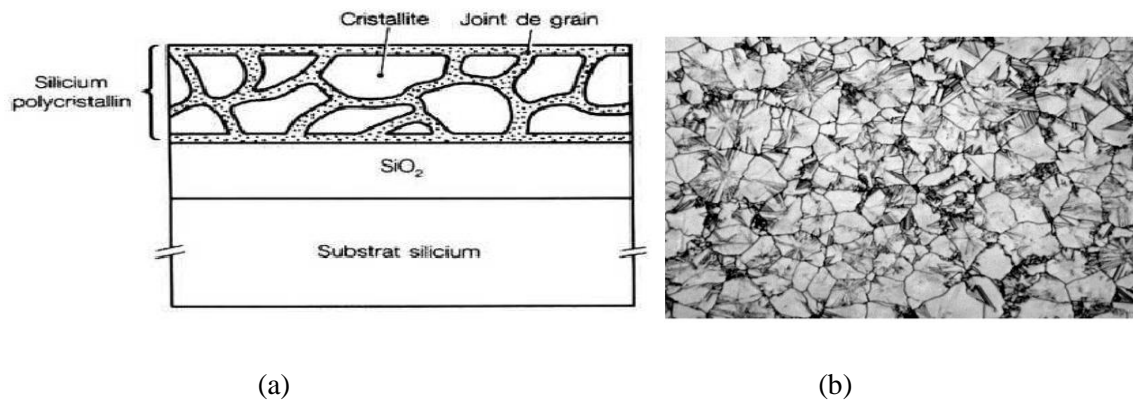


Figure I.1: (a) Structure du silicium polycristallin [4]
(b) Image par Microscopie électronique d'un film de Si-polycristallin [4].

I.4 Propriétés électriques du silicium polycristallin

Les propriétés électriques des couches polycristallines dépendent essentiellement des propriétés physiques et électriques des joints de grains. Par conséquent, on peut attribuer la plupart des modifications des propriétés électriques des couches de silicium polycristallin en fonction du dopage aux modifications des propriétés des joints de grains. Dans ce qui suit, nous allons d'abord expliquer la distribution du dopant dans une couche de silicium polycristallin, avant de discuter des propriétés électriques des couches polycristallines en fonction du dopage.

1.4.1 Distribution du dopant

Les impuretés dopantes peuvent être introduites dans une couche de silicium polycristallin, par trois méthodes différentes :

- durant le dépôt de la couche (in-situ) [7];
- par diffusion thermique [8];
- par implantation ionique [9];

Le schéma de distribution des dopants dans une couche de silicium polycristallin est donné par la figure (I.2). Cette distribution dépend de plusieurs paramètres : espèces dopantes, concentration du dopant, taille des grains et température de recuit. Une partie du dopant est retenue aux joints de grains, où elle est immobilisée et électriquement inactive, l'autre partie du dopant est distribuée à l'intérieur des grains.

Atomes dopants

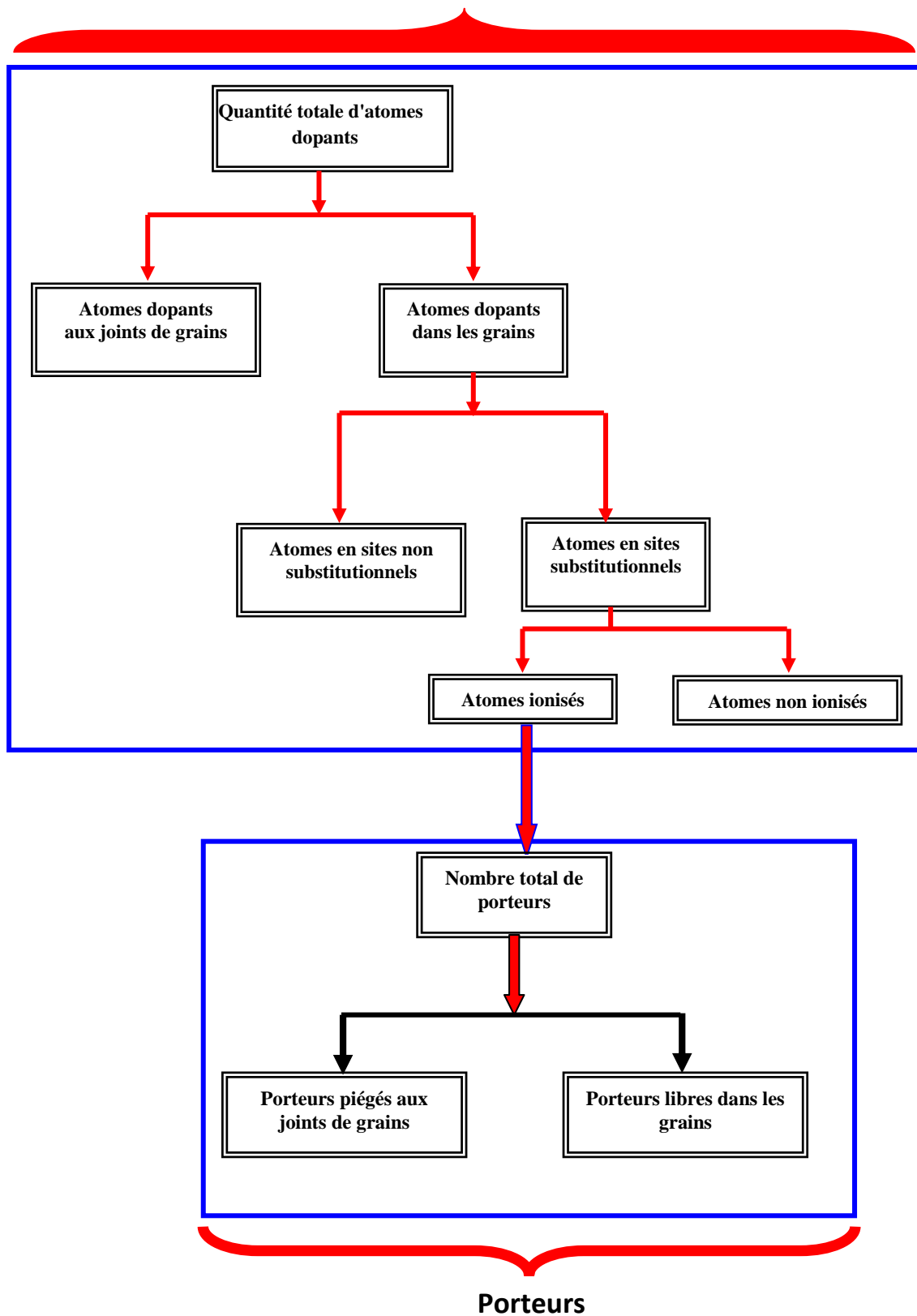


Figure I.2 : Distribution des dopants et des porteurs libres dans une couche de silicium polycristallin [10]

Cependant, certains atomes dans les grains vont se retrouver en sites non substitutionnels. De plus, parmi les atomes en sites substitutionnels, certains peuvent ne pas être ionisés à basse température. Enfin, une partie des porteurs issus de l'ionisation des atomes de dopant se trouvera piégée aux joints de grains. La différence entre les concentrations des porteurs libres dans une couche de silicium polycristallin et une autre au silicium monocristallin similairement dopée est due à la présence des joints de grains qui jouent un rôle double :

- Ils introduisent des sites de ségrégation pour le dopant et,
- des états pièges pour les porteurs libres.

En raison donc, de l'existence des zones intergranulaires, les propriétés électriques du silicium polycristallin sont fondamentalement différentes de celles du silicium monocristallin.

Les variations en fonction de la concentration de dopant des trois paramètres électriques de base à savoir, la résistivité, la mobilité et la concentration des porteurs sont illustrés à la figure (I.3) auxquelles sont ajoutées en pointillé, les courbes analogues relatives au silicium monocristallin.

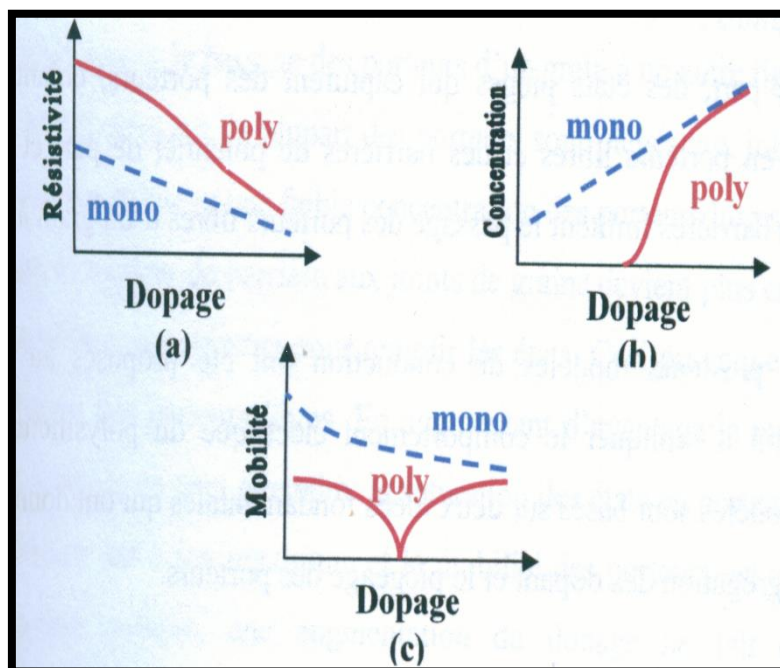


Figure I.3: Variation en fonction du dopage d'après Mandurah [11] de :

(a) la résistivité, (b) la concentration des porteurs et (c) la mobilité des porteurs

a. Résistivité

La résistivité d'un film de silicium polycristallin légèrement dopé est plus élevée de plusieurs ordres de grandeurs que celle d'une couche de silicium monocristallin similairement dopée (figure I.3(a)). Aux faibles niveaux de dopage, la résistivité varie légèrement. Cependant, l'augmentation de la concentration de dopant (concentrations intermédiaires) conduit à une décroissance brusque de la résistivité. Pour une concentration plus élevée de dopant, la résistivité tend vers celle de silicium monocristallin mais elle reste légèrement supérieure.

b. Concentration des porteurs libres

La concentration des porteurs libres dans un film de silicium polycristallin est toujours plus faible que la concentration de dopant (figure I.3(b)). Celle-ci démarre d'un niveau relativement bas à faible dopage puis croit très rapidement dans la gamme des concentrations intermédiaires, en approchant la concentration de dopant pour les forts niveaux de dopage, tout en restant légèrement inférieure.

c. Mobilité de HALL des porteurs majoritaires

Dans la gamme des dopages intermédiaires, la mobilité moyenne des porteurs, liée à la hauteur des barrières est minimale. De part et d'autre de cette gamme, la mobilité des porteurs dans le silicium polycristallin se rapproche du silicium monocristallin tout en restant inférieure. (Figure I.3(c)).

I.4.2 Principaux modèles de conduction électrique dans le silicium polycristallin

Les défauts aux joints de grains, constituent d'une part, des sites de ségrégation pour les dopants, ce qui réduit leurs concentrations dans les grains. D'une autre part, des états pièges qui capturent des porteurs, créent des régions désertées en porteurs et des barrières d'énergie de part et d'autre de chaque joint de grain, ce qui limite le passage des porteurs libres d'un grain à l'autre.

Les propriétés électriques du silicium polycristallin que nous venons de présenter s'interprètent actuellement à partir de deux modèles fondamentaux :

- la ségrégation du dopant
- le piégeage des porteurs

1) Modèle de ségrégation du dopant

Ce modèle est établi par **COWHER** et **SEDGWICK** [12] et développé par la suite par **FRIPP** et **SLACK** [13] [14]. Dans ce modèle, les joints de grains sont considérés comme des sites préférentiels de rétention du dopant. A bas niveau de dopage, les atomes dopants se trouvent immobilisés aux joints de grain d'où la très grande résistivité de la couche. Cette ségrégation du dopant aux joints de grain a pour conséquences une concentration réelle de dopant et de porteurs libres à l'intérieur des grains inférieures à celle qu'on attendait. A fort dopage, tous les sites intergranulaires sont occupés et le dopant se distribue régulièrement dans les grains d'où une convergence entre la concentration globale de dopant et celle des porteurs.

Cependant, ce modèle reste incapable d'expliquer le comportement de la résistivité des couches polycristallines en fonction de la température ainsi que la variation de la mobilité de **HALL** dans la gamme des dopages intermédiaires. Il doit être complété par un deuxième modèle permettant d'expliquer les autres caractéristiques électriques.

2) Modèle de piégeage des porteurs

Le modèle de piégeage des porteurs a été introduit par **Kamins** [15], **Rai- Choudhry** et **Hower**[16] pour expliquer qualitativement les variations de la mobilité de Hall avec la concentration de dopant. Il suppose que la nature désordonnée des joints de grains entraîne l'existence d'états localisés dans la bande interdite, capables de capturer les porteurs libres. Ces états s'ionisent donc et créent des barrières de potentiel de part et d'autre du joint de grain, restreignant ainsi le passage des porteurs d'un grain à un autre.

Pour les faibles dopages, la plupart des porteurs sont piégés aux joints de grains, ce qui entraîne une forte résistivité et une faible concentration en porteurs libres. En augmentant le niveau du dopage, la hauteur de barrière aux joints de grains devient de plus en plus importante du fait de la disponibilité des porteurs pour remplir ces états. En augmentant davantage le niveau de dopage jusqu'à une valeur critique, on atteint la saturation des pièges. Dans ce cas, la hauteur de barrière est à son maximum et la mobilité des porteurs est à son minimum.

Au-delà de ce niveau critique, une augmentation du dopage ne fait qu'accroître la concentration des porteurs libres. Il s'ensuit alors une diminution de la hauteur de barrière de potentiel et une augmentation de la mobilité des porteurs.

Il faut noter que plusieurs modèles ont été proposés pour expliquer les caractéristiques du silicium polycristallin (Modèle de Séto, Baccarani,...). Ils ne représentent cependant que des extensions des deux modèles fondamentaux suscités.

a- Modèle de SETO

SETO [17] fut le premier à développer un modèle de transport dans le silicium polycristallin, satisfaisant sur le plan qualitatif.

A partir de l'idée de piégeage de porteurs aux joints de grain, SETO a donné une expression de la densité de courant en supposant que les porteurs franchissent les barrières de potentiel aux joints de grains par effet thermoélectronique.

Le modèle de **SETO** a été le premier à expliquer les propriétés électriques des couches de silicium polycristallin. Cependant, un certain nombre de limitations réduisent son champ d'application. Les aspects non pris en compte par **SETO** et qui limitent son modèle sont les suivants :

- 1- possibilité pour les états pièges de n'être que partiellement remplis quand les grains deviennent partiellement désertés
- 2- contribution de l'effet tunnel dans le transport de porteurs libres à travers la barrière de potentiel des régions désertées ;
- 3- contribution de la résistivité des régions neutres à la conduction ;
- 4- ségrégation des atomes de dopant aux joints de grains ;
- 5- dispersion des porteurs par les joints de grains ;
- 6- variation de la résistivité des régions avec la température.

Pour s'affranchir de ces limitations, plusieurs modifications ont été apportées au modèle de **SETO**, dans le but de lui permettre de rendre compte de la plupart des propriétés de conduction électrique des couches de silicium polycristallin.

b- Modèle de BACCARANI

Ce modèle est une modification du modèle de **SETO** qui permet d'appliquer le modèle de piégeage des porteurs aux couches polycristallines à gros grains.

BACCARANI [18] tient compte du degré d'ionisation des pièges aux joints de grains.

$$N_T = \frac{Q_T}{1 + \frac{1}{2} \exp\left(\frac{E_t - E_F}{kT}\right)} \quad (I. 1)$$

Q_T : densité surfacique totale de pièges aux joints de grains,

E_F : le niveau de Fermi, et E_T : l'énergie du niveau piège dans la bande interdite du semi-conducteur.

Cette formulation de N_T , nous conduit à l'expression de la hauteur de barrière de potentiel E_d

$$E_d = E_F - E_T + kT \ln \left[\frac{qN_{TA}}{\sqrt{(8\epsilon_S N_D)}} - 1 \right] \quad \text{si } N_D > N_D^* \quad (I. 2)$$

$$E_d = \frac{q^2 L_G^2 N_D}{8\epsilon_S} \quad \text{si } N_D < N_D^* \quad (I. 3)$$

N_D , N_D^* , ϵ_S , L_G et N_{TA} étant respectivement le dopage de la couche, la concentration critique, la permittivité du silicium, la taille du grain et la densité des états pièges accepteurs à niveaux discrets.

BACCARANI suppose que les pièges peuvent ne pas être entièrement remplis quand les grains sont partiellement désertés.

c- Modification de MARTINEZ

MARTINEZ et **PIQUERAS** [19] se sont intéressés au transport des porteurs libres par effet tunnel à travers la barrière de potentiel des régions désertes. La contribution du transport par effet tunnel à travers la barrière de potentiel des régions désertées devient importante, dans le domaine des basses températures où une partie importante des porteurs libres n'a pas l'énergie suffisante pour surmonter les barrières de potentiel des régions désertées par émission thermoïonique, et dans les couches moyennement dopées et renfermant de grandes densités d'états pièges, créant ainsi des barrières de potentiel élevées, infranchissables par émission thermoïonique à température ambiante.

En tenant compte de ces deux (02) mécanismes de transport (émission thermoïonique et par effet tunnel), **MARTINEZ** et **PIQUERAS** proposent l'expression suivante pour la densité résultante de courant, due au transport des porteurs libres d'un grain à un autre.

$$j = 2qn_0 \left(\frac{kT}{2\pi m^*} \right)^{1/2} \left[\exp\left(\frac{-(q\phi d)}{kT}\right) + \frac{1}{kT} \int_0^{q\phi d} D_0(E) \exp\left(\frac{-E}{kT}\right) dE \right] \sinh\left(\frac{(qV_g)}{kT}\right) \quad (I. 4)$$

Où $D_0(E)$ est la probabilité de transmission des porteurs libres à travers les barrières

de potentiel des régions désertées [20]:

$$D_0(E) = \exp \left[\frac{2\pi W_d (2q\phi_d m_c^*)^{\frac{1}{2}} Y(\theta)}{-h} \right] \quad \text{pour } E < q\phi_d \quad (\text{I.5})$$

et

$$D_0 = 1 \quad \text{pour } E \geq q\phi_d \quad (\text{I.6})$$

Où

$$Y(\theta) = (1 - \theta)^{1/2} + \theta \log \frac{|1 - (1 - \theta)^{1/2}|}{\theta^{1/2}} \text{ et } \theta = \frac{E}{q\phi_d} \quad (\text{I.7})$$

Avec E: énergie des porteurs libres ;

m_c^* : Masse effective des porteurs ;

h : Constante de PLANCK ;

q : la charge élémentaire ;

V_g : tension appliquée ;

n_0 : concentration des porteurs libres

Dans l'équation (I.4), le premier terme représente la composante de la densité de courant due au transport des porteurs libres d'énergie $E > q\phi_d$, par émission thermoïonique, et le second terme représente celle due au transport des porteurs libres d'énergie $E < q\phi_d$, par effet tunnel à travers les barrières de potentiel des régions désertées.

Si tous les porteurs libres ont une énergie $E \geq q\phi_d$, la probabilité de transmission devient égale à l'unité (I.6) et le courant (I.4) se réduit à la composante due à l'émission thermoïonique.

d- Modification de MANDURAH

MANDURAH et al [21] ont fait intervenir, à la fois la ségrégation des atomes dopants aux joints de grains et la dispersion des porteurs libres par ces mêmes joints de grains du fait que les joints de grains ne sont pas des interfaces de dimensions négligeables, mais des matériaux ayant des propriétés physiques et électriques. Dans ce modèle, les porteurs franchissent la barrière du joint de grain par effet tunnel ou par effet thermoélectronique pour les porteurs ayant une énergie suffisante.

I.5 Méthodes de déposition des couches minces pour le silicium

Plusieurs procédés de fabrication des couches minces du silicium ont été développés depuis les années 70, ces méthodes font appel à des principes physiques qui déterminent les

caractéristiques structurales des matériaux déposés dont la qualité du matériau déposé diffère d'un procédé à l'autre. Ces techniques de dépôt comprennent le dépôt physique en phase vapeur (PVD), utilisant des sources solides, et le dépôt chimique en phase vapeur (CVD) utilisant des gaz.

Méthodes utilisant une source solide :

- ✚ L'évaporation par effet joule sous vide
- ✚ La pulvérisation cathodique

Méthodes utilisant une source gazeuse :

La technique CVD (Chemical Vapor Déposition): soit par voie thermique, soit par plasma.

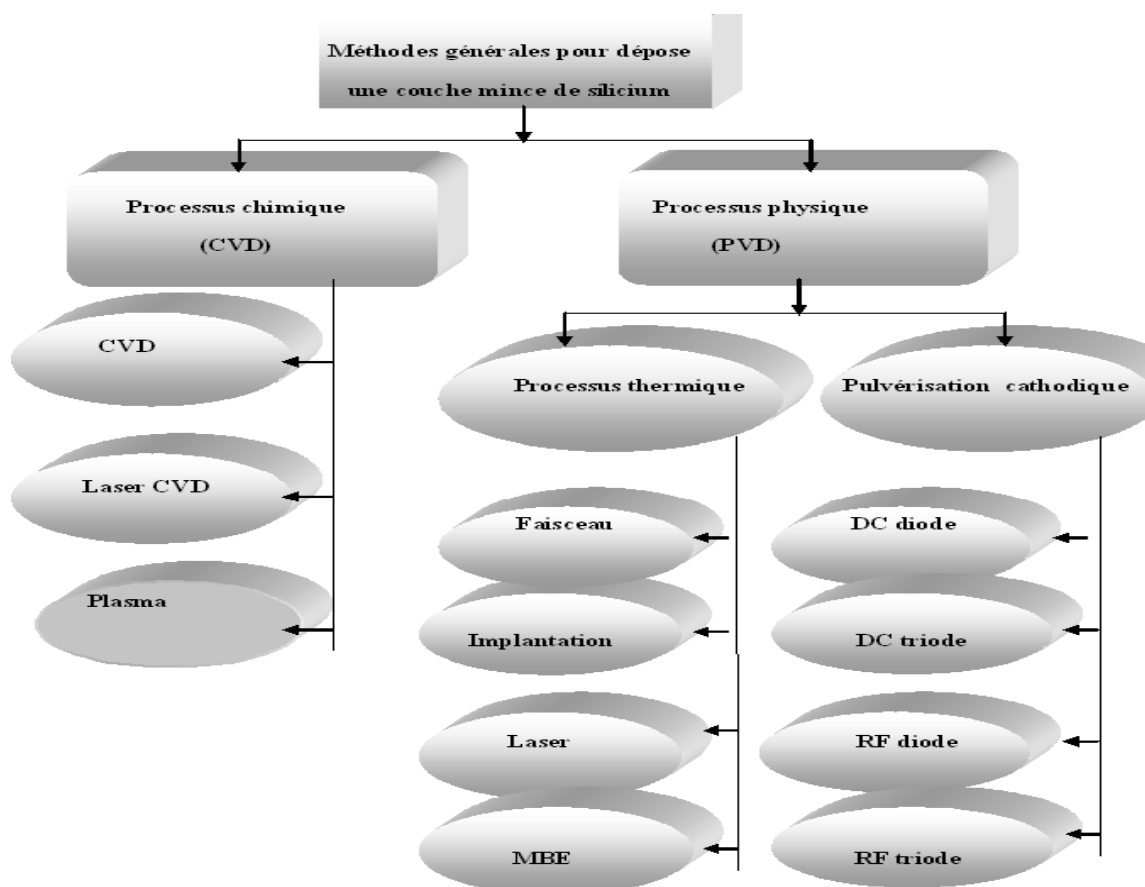


Figure I.4: Méthodes de dépôt du silicium en couches minces [22].

I.5.1 Méthodes utilisant une source solide de silicium

I.5.1.1 L'évaporation par effet joule sous vide

Cette méthode consiste à placer un silicium solide dans une enceinte, bombardé par la suite par un canon à électrons, le silicium devient gazeux, se condense et se dépose sur un substrat de matière placé en amont [23].

I.5.1.2 La pulvérisation cathodique

Une cible de silicium est bombardée par des ions (généralement d'argon [24]) issus d'un plasma dont l'excitation peut aller du continu jusqu'aux micro-ondes. La fréquence d'utilisation courante pour la production du silicium est de 13.56Mhz. C'est-à-dire dans le domaine des radiofréquences. Les ions silicium vont se déposer à la surface d'un substrat placé sur l'anode.

I.5.2 Méthodes utilisant une source gazeuse de silicium

I.5.2.1 La technique de décomposition en phase gazeuse assistée par plasma ou P.E.C.V.D (*Plasma Enhanced Chemical Vapor Deposition*)

Ce système fut créé en 1965 par sterling et Swann [25] qui l'adopta à la microélectronique. Ce n'est qu'en 1975 que ce procédé fut appliqué au domaine photovoltaïque pour l'élaboration du silicium amorphe.

Le gaz réactif est ionisé par formation de plasma, généralement à la fréquence de 13.56Mhz. Les produits de cette réaction sont des ions d'hydrures de silicium qui vont réagir à la surface du substrat porté à une température d'environ 300°C. La faible température de la surface de dépôt fait que l'hydrogène ne se dissocie pas. Par conséquent le matériau obtenu est hydrogéné. Toujours à cause de la température du substrat qui est relativement basse, la structure du silicium est amorphe. On dépose donc, du silicium amorphe hydrogéné. Toutefois, cette technique présente le problème de limitation du nombre de plaquettes utilisables pendant le même cycle de dépôt.

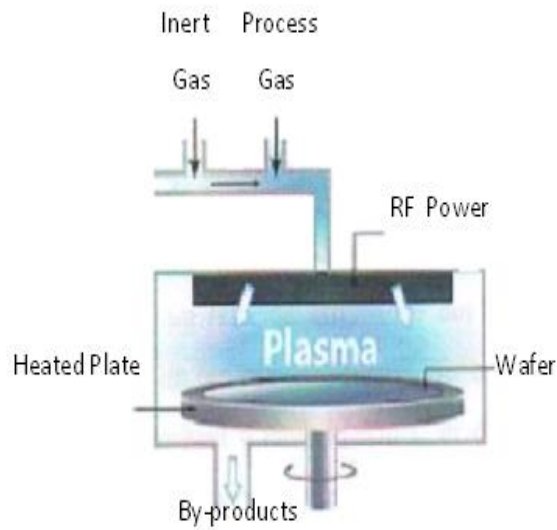


Figure I.5: Schéma descriptif du principe de la technique PECVD [26].

I.5.2.2 La technique de décomposition en phase gazeuse à pression atmosphérique ou APCVD

Cette technique utilisée à l'origine des dépôts C.V.D de semiconducteur a été largement remplacée par les dépôts dits à basse pression car dans ce cas, les espèces réactives diffusent plus rapidement et l'uniformité des dépôts est améliorée. L'inconvénient majeur est qu'elle nécessite un appareillage lourd et coûteux pour un faible rendement. En plus, les dépôts sont généralement inhomogènes (d'un substrat à un autre ou sur le même substrat).

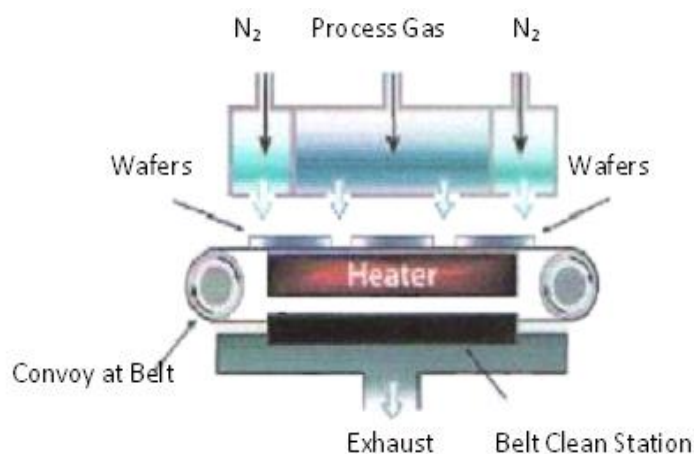


Figure I.6: Schéma descriptif du principe de la technique APCVD [26].

I.5.2.3 La technique de décomposition en phase gazeuse à basse pression ou LPCVD (*Low Pressure Chemical Vapor Deposition*)

Les molécules du gaz réactif sont décomposées par voie thermique. En fonction des conditions de pression, de température et de débit, des réactions de dissociation ou des formations de molécules se produisent, de nature homogène et hétérogène.

Afin de déposer à un taux de croissance des couches suffisamment important, les températures de déposition des gaz sont élevées par comparaison avec la PECVD. Pour le silane, elles sont typiquement d'environ 550°C et 630°C, et de l'ordre de 470°C pour le disilane. La première conséquence est que l'hydrogène absorbé à la surface de l'échantillon sous forme d'hydrure de silicium ne peut rester (à cause de la haute température du substrat) et le matériau obtenu est donc généralement très peu hydrogéné.

Cette technique de dépôt sous faible pression (LPCVD) est devenue le procédé standard de dépôt des couches de silicium polycristallin. Celle-ci permet :

- Une bonne reproductibilité : 200 rondelles peuvent être traitées à chaque opération.

Le coût de fabrication est donc réduit, ce qui la rend très attractive du point de vue industriel. Aussi, c'est un procédé qui ne fait pas intervenir de particules très énergétiques qui pourraient entraîner l'apparition de cavités dans le matériau, comme c'est le cas en P.E.C.V.D et en pulvérisation cathodique.

- Une bonne uniformité : de 1 à 3% sur la même rondelle et de 2 à 5% d'une rondelle à une autre.

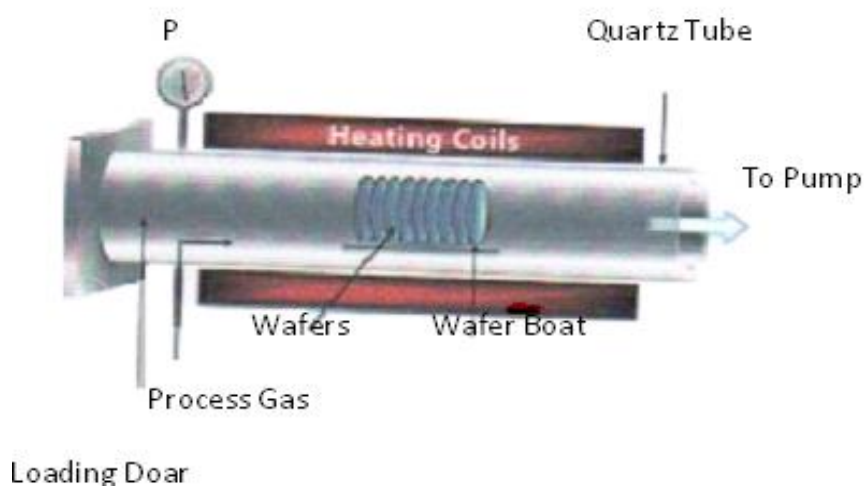


Figure I.7 : Schéma descriptif du principe de la technique LPCVD[26].

D'une autre part, en fonction de la pression et de la température, la technique permet d'obtenir du silicium :

1) **Soit directement polycristallin** : le film est déposé sur un substrat amorphe ou monocristallin à des pressions faibles et des hautes températures. Le silicium déposé sera polycristallin et peut être partiellement cristallisé ou entièrement cristallisé.

2) **Soit amorphe** : le film de silicium amorphe (a-Si) est alors déposé sur un substrat convenable à des pressions relativement élevées et des températures faibles compatibles avec la dissociation du silane.

De nombreux auteurs ont montré que les couches déposées sous forme amorphe, puis cristallisées lors d'un recuit thermique conventionnel ou assisté (voir paragraphe I.6), présentent de meilleures propriétés électriques que celles déposées directement sous forme polycristalline, ceci est dû au fait que la cristallisation des couches de silicium amorphe par ces procédés thermiques réduit considérablement la densité des pièges en augmentant la taille des grains.

I.5.2.4 La technique R.T.C.V.D (Rapid Thermal CVD)

Les gaz généralement employés (le silane ou le trichlorosilane) [27] sont décomposés thermiquement par l'intermédiaire d'un flux lumineux de lampes halogènes qui permet d'obtenir des montées en température du substrat très rapides (100°C/s). Cette technique est très rapide en terme de vitesse de dépôt et en terme de bilan thermique. Toutefois, les problèmes d'inhomogénéité de dépôt demeurent un obstacle, le contrôle de la température du substrat en cours de dépôt demeure la difficulté principale de ce processus.

I.6 Méthodes de cristallisation

Une fois le silicium est déposé par une des différentes méthodes de déposition citées ci-dessus, d'autres opérations seront introduites sur ce matériau afin d'arriver à un matériau possédant les meilleures propriétés électriques. Il est donc nécessaire de le traiter chimiquement à différentes températures par des techniques appelées : **Techniques de cristallisation**.

Le principe de cristallisation d'un matériau consiste à fournir suffisamment d'énergie aux atomes de la couche déposée de manière à ce qu'ils puissent s'arranger selon le réseau cristallin du silicium. Le système passe alors de l'état métastable à l'état stable cristallin.

Lors de la cristallisation il se produit deux phénomènes : la nucléation, c'est à dire l'apparition des germes, et la croissance des grains. Ces deux phénomènes sont soumis à deux cinétiques différentes dépendantes de la température. C'est la compétition entre eux qui détermine la structure cristalline du silicium à savoir la taille des grains, leur orientation cristallographique et la rugosité de la couche. La densité de défauts intragranulaires et intergranulaires dépend également de la température de recuit [28].

Pour cristalliser le silicium amorphe, il existe plusieurs techniques que nous allons développer. Cependant, la plus employée est le recuit thermique conventionnel.

I.6.1 La cristallisation en phase solide

- **Le recuit thermique conventionnel**

Est appelé typiquement SPC (Solid Phase Crystallization). Les substrats sont placés dans un four à des températures supérieures à 500°C (550- 650°C) pendant une période allant de plusieurs minutes à quelques heures suivant la température et le type de silicium à recuire.

Le silicium et le substrat sont portés à la même température. Le chauffage est généralement assuré par des résistances chauffantes placées autour d'une enceinte. Cette technique a l'avantage de pouvoir traiter uniformément un grand nombre de plaquettes en même temps. Les temps de nucléation et de croissance de grains sont généralement élevés et la densité de défauts cristallins est assez importante du fait de la faible température utilisée [29].

- **Le recuit thermique rapide ou RTA (Rapid Thermal Annealing)**

Le procédé de recuit rapide se réfère à un procédé de traitement qui porte le substrat à haute température allant de 700 à 800°C. Il est utilisé pour diminuer considérablement la durée de cristallisation des couches sur substrat imposant une température de procédé basse (650°C). Le principe consiste à illuminer la couche de silicium à l'aide d'une ou plusieurs lampes halogènes émettant dans la gamme d'ondes absorbées par le silicium, et cela pendant une

durée de l'ordre de la minute. De cette façon, le silicium est porté à une température supérieure à celles employées en recuit conventionnel. C'est une méthode peu utilisée expliquée en partie par la délicatesse de sa mise au point.

- **Le recuit SPC assisté par métal ou MILC**

Cette technique fait appel à un métal, en général l'aluminium [30] [31] ou le nickel [32] [33]. Une fine couche métallique est déposée sur une couche de silicium amorphe. L'ensemble subit un recuit SPC au cours duquel les atomes du métal diffusent dans la couche de silicium induisant une cristallisation MIC (Metal Induced Crystallization). L'avantage de ce procédé est la possibilité de diminuer la température de recuit jusqu'à 500°C et d'obtenir des grains plus larges que ceux obtenus par SPC.

La vitesse de cristallisation est élevée, jusqu'à $20\mu\text{m}/\text{h}$ et peut être augmentée par application d'un champ électrique [34]. L'inconvénient majeur reste cependant la présence d'atomes de métal dans la couche, préjudiciables en application de conversion photovoltaïque du fait de leur rôle de « tueur de durée de vie ».

I.6.2 La cristallisation par LASER après un passage en phase liquide

Cette technique a été très étudiée [35] [36] depuis que le silicium polycristallin s'est placé en candidat potentiel dans la réalisation des transistors destinés aux écrans plats. L'apport d'énergie est ici local et le silicium peut donc être porté à autre température tandis que le substrat reste à température relativement basse. La cristallisation s'opère en déplaçant le front solide-liquide, c'est-à-dire en laissant la zone fondue se refroidir. L'avantage est que le matériau est porté à très haute température et que les conditions de cristallisation sont nettement meilleures. Il s'ensuit des densités de défauts cristallins moindres qui conduisent à des propriétés électriques remarquables, proches des celles du monocristal. C'est un LASER excimère émettant dans l'ultraviolet qui est utilisé généralement car il fournit des densités d'énergie suffisantes. Malheureusement, l'ultraviolet est très absorbé dans le silicium amorphe et la cristallisation par LASER ne s'applique jusqu'à présent qu'aux couches très minces de l'ordre de 1000 Å. De plus, vu la dimension du faisceau, c'est une technique difficile à mettre en œuvre pour cristalliser une grande surface de façon homogène [37].

Pour finir, il apparaît donc que le choix de la technique de cristallisation reste déterminé d'une part par les impératifs industriels, d'autre part par les exigences des dispositifs auxquels est destiné le polysilicium. A titre d'exemple, il est clair que le recuit par laser semble incontournable pour arriver à des mobilités de l'ordre de $300 \text{ cm}^2/\text{V.s}$, nécessaires dans les circuits périphériques de commande des écrans plats à matrice active. Par contre, il n'est pas adapté à l'heure actuelle à la cristallisation de couches épaisses. Les études sur la cristallisation en phase solide par recuit thermique conventionnel restent donc nombreuses, afin de parvenir à optimiser les propriétés du polysilicium par ce moyen qui reste le plus adapté industriellement.

I.7 Autres méthodes d'augmentation de la taille des grains

Les propriétés électroniques des films de silicium polycristallin dépendent essentiellement de leur structure cristalline et de la taille des grains.

Les couches de silicium déposées directement à l'état polycristallin sont caractérisées par un grand nombre d'états de pièges dans les joints de grains formant des barrières de potentiel intergranulaires qui détériorent les performances électriques des structures utilisant le polysilicium comme couche active. Ainsi l'augmentation de la taille des grains a un effet direct sur les caractéristiques électriques des transistors à effet de champ.

Comme mentionné précédemment, plusieurs techniques ont été proposées pour augmenter la taille des grains, telles que la cristallisation des films après une amorphisation par implantation ionique, et la cristallisation par balayage laser permettant d'obtenir des grains de grande taille et de bonne qualité. La première technique présente l'inconvénient de nécessiter des étapes technologiques supplémentaires ainsi que des temps de recuit très longs. La deuxième méthode s'avère très coûteuse et difficile à mettre au point pour une utilisation industrielle.

Pour les films de silicium amorphe déposés sur substrat oxydé, l'interface a-Si/ SiO₂ est une région préférentielle à la nucléation [38]. Le grand nombre de sites de nucléation présents à cette interface conduit après une cristallisation en phase solide à une structure polycristalline avec des tailles de grains très faibles.

Ryu et al [39], ont rapporté que la diminution des sites de nucléation à l'interface a-Si/SiO₂ par l'incorporation de l'oxygène près de cette interface a fait augmenter la taille des grains de 1 à 5µm. Cependant cette méthode nécessite une optimisation de la quantité d'oxygène vu que cette impureté cause la formation de complexes détériorant les performances de transistors.

M.K.Hatalis et al [40], ont étudié l'effet des températures de dépôts et de recuit sur la cristallisation d'une couche amorphe déposée par LPCVD à partir du silane, sur un substrat de silicium monocristallin oxydé. Ces auteurs ont montré que pour une température de dépôt donnée, la taille des grains est plus grande lorsque la couche amorphe est recuite à basse température ($T_r = 550^\circ\text{C}$) et que dans ce cas, elle est maximale (0.4µm) quand la couche est déposée à 545°C. Ce même travail a mis en évidence l'augmentation de la taille des grains avec l'accroissement des vitesses de dépôt et la diminution de la température de dépôt.

En effet, la structure du silicium amorphe cristallisé peut être liée au désordre structural du matériau déposé à l'état amorphe [41]. En augmentant le désordre initial du réseau de silicium, un élargissement significatif de la taille des grains du silicium cristallisé peut être réalisé.

Ce désordre dans le réseau du silicium peut être alternativement augmenté en utilisant les basses températures de dépôt combinées avec des vitesses de dépôt élevées. Si le silane est utilisé comme source d'obtention du silicium, les vitesses de dépôt sont sensiblement réduites pendant que la température de dépôt diminue en dessous de 530°C [42]. Par contre, l'utilisation du disilane a permis des vitesses de dépôts élevées mêmes aux températures en dessous de 500°C, ce qui a conduit à l'obtention des grandes tailles de grains pouvant aller jusqu'à 5µm, dépassant de loin les tailles obtenues par la filière silane [43].

I.8 Hydrogénation

Le traitement par hydrogénation permet la passivation des pièges de porteurs existant aux joints de grains tels que les liaisons pendantes.

Cette opération est bénéfique au canal dont elle diminue la densité de défauts : Ces défauts en régime passant, piègent les électrons et diminuent la valeur du courant I_{ON} en mode passant, en régime bloquant ces mêmes défauts permettent d'augmenter le courant I_{OFF} .

Plusieurs techniques d'hydrogénation sont utilisées:

✓ L'hydrogénation par décharge plasma, par le dépôt d'un film de nitrure contenant de l'hydrogène : Elle consiste en un dépôt d'une couche de nitrure de silicium par PECVD, d'une épaisseur donnée et de concentration élevée en atomes d'hydrogène. La diffusion thermique d'atomes d'hydrogène, à travers l'isolant jusqu'au canal permet de combler les liaisons Si-Si non satisfaites qui introduisent des états d'énergie profonds dans la bande interdite. Il ya alors formation de liaisons Si-H. La couche SiN est ensuite gravée par RIE.

✓ Implantation ionique d'atomes H^+ .

✓ Plasma micro-onde, qui comparée à la première technique, conduit à une densité plus faible de liaisons pendantes.

La figure (1.8) a été obtenue à partir d'échantillons de silicium polycristallin cristallisé en phase solide (*Solid Phase Crystallisation* ou SPC) et illustre l'effet de l'hydrogène sur la densité d'états des dispositifs. On constate sur cette figure que le dispositif hydrogéné a une densité d'états profonds, au niveau du milieu de la bande interdite, très inférieure à celle du transistor non-hydrogéné.

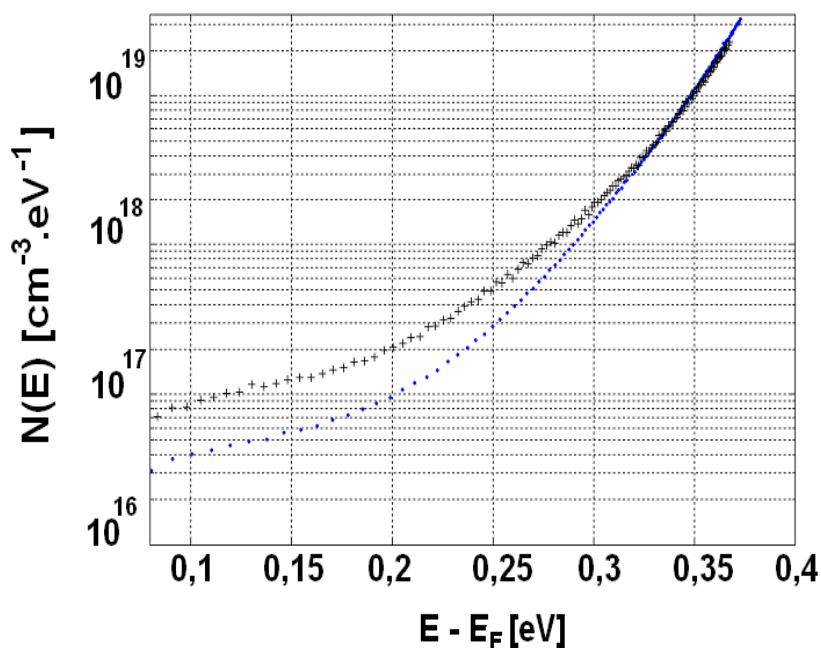


Figure I.8: Densité d'états dans le cas d'un transistor hydrogéné (points) et non hydrogéné (croix) dans le cas de transistors avec couche active en polysilicium SPC [44].

Toutes ces techniques (cristallisation et hydrogénation) s'avèrent améliorer les caractéristiques du film polycristallin en réduisant la densité des états localisés aux joints de grains.

I. 9 Oxyde de grille

L'isolant de grille joue un rôle important dans le fonctionnement des transistors TFTs.

Il détermine les paramètres électriques des transistors (mobilité d'effet de champ, tension de seuil, pente sous le seuil) à travers la quantité de charges fixes ou mobiles s'y trouvant et les états de défauts qu'il crée à l'interface avec le silicium. L'électronique habituelle sur wafer de silicium utilise l'oxyde de silicium qui est l'oxyde naturel du silicium. En tant que tel, il bénéficie d'une très bonne interface avec le silicium. Par ailleurs, une oxydation à température élevée du silicium aboutit à un oxyde d'une très bonne stabilité.

L'électronique basse température qui est l'objet du présent travail ne bénéficie pas de cette possibilité d'oxydation à haute température. L'isolant de grille utilisé habituellement est un oxyde de silicium obtenu par dépôt sur le silicium à basse température.

Cet oxyde déposé contient des charges mobiles et fixes qui influent sur la qualité du transistor et sur sa stabilité. La qualité de l'oxyde est d'autant plus mauvaise que la température de dépôt est faible. Il est donc très difficile d'obtenir un oxyde de grande qualité aux températures utilisées, cependant, l'interface qu'il forme avec le silicium reste d'une qualité acceptable dûe essentiellement au fait qu'il soit l'oxyde naturel du silicium.

D'autres isolants de grille peuvent alors être utilisés. Le nitrure de silicium est l'exemple le plus courant. Il est utilisé comme isolant de grille des transistors au silicium amorphe utilisés dans l'adressage des écrans LCD. La qualité de l'interface qu'il forme avec le silicium est plus mauvaise qu'avec l'oxyde de silicium. Ceci induit de plus faibles mobilités d'effet de champ. Cependant, la stabilité des transistors est grandement améliorée.

I.9.1 Classification des défauts

Les défauts ont été classés en fonction de leur profondeur physique dans l'oxyde en 1979, par un comité établi par « Electronics Division of the Electrochemical Society » et « IEEE Semiconductor Interface Specialists Conference » [45], selon quatre appellations :

- Les charges mobiles ioniques : ces charges se situent dans tout l'oxyde car elles peuvent migrer sous l'effet de la température. Elles sont dues à la contamination de l'oxyde par des impuretés ioniques (telles que les métaux alcalins Li^+ , Na^+ , K^+ ...) ;
- Les charges d'oxyde : elles se trouvent dans les pièges de l'oxyde et peuvent être positives ou négatives. Le phénomène est facilement réversible sous l'effet de la température ou l'action d'un champ électrique. Nous parlons ainsi de piégeage/dépiégeage mais les charges ne sont pas en contact direct avec le substrat.
- Les charges fixes : ce sont des charges positives localisées près de l'interface. Elles ont pour origine les défauts intrinsèques du silicium induits par oxydation. Elles dépendent donc des paramètres du procédé d'oxydation et de l'orientation du silicium.
- Les charges d'interface : ce sont les charges les plus proches du silicium. Le piège d'interface est de type donneur si son énergie est située dans la moitié inférieure de la bande interdite et de type accepteur dans le cas contraire.

Les pièges peuvent être classés en deux catégories selon leur état de charge ou leur état d'occupation par un électron :

Pièges de type accepteur : chargés négativement si occupés et neutres si inoccupés ;

Pièges de type donneur : neutres si occupés et chargés positivement si inoccupés.

Ces quatre types de défauts sont représentés sur la Figure I.9.

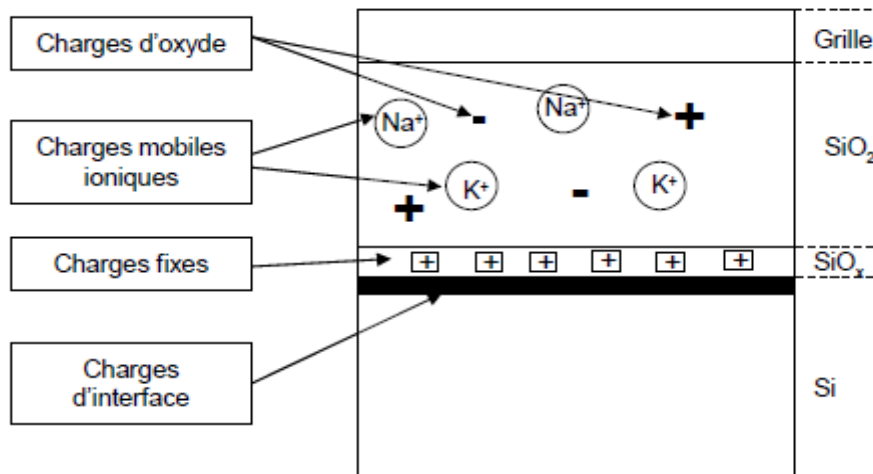


Figure I.9 : Représentation des défauts dans l'oxyde de grille et à l'interface Si/SiO₂ [46]

I.9.2 Techniques d'obtention du dioxyde de silicium

Il existe deux principales techniques pour obtenir du dioxyde de silicium: soit la formation d'un oxyde thermique soit le dépôt d'un oxyde [47] [48].

En général, l'oxydation thermique du silicium est effectuée à haute température (800 à 1200°C) à l'intérieur d'un four parcouru par un courant gazeux oxydant (O₂ ou H₂O). Cette technique produit un oxyde de grille de bonnes qualités structurales et électriques mais elle n'est pas compatible avec une technologie "basse température".

La solution pour réaliser des TFTs sur un substrat souple comme le plastique reste donc l'oxyde déposé. Le dépôt de l'oxyde de silicium peut être effectué à des températures inférieures à 200°C, et devient dans ce cas tout à fait compatible avec l'utilisation d'un substrat de plastique. La technique de dépôt de SiO₂ la plus couramment utilisée est une réaction en phase vapeur (C.V.D). Son principe repose sur la formation d'oxyde de silicium à

partir d'un mélange gazeux contenant les espèces chimiques: silicium et oxygène. Cette technique permet l'élaboration de couches de SiO₂ à basse température avec une vitesse de dépôt élevée. Les couches ainsi obtenues ont une épaisseur homogène.

Plusieurs types de dépôts C.V.D assistés par plasma existent :

- ✚ P.E.C.V.D par voie radiofréquence [47].
- ✚ E.C.R.C.V.D (electron cyclotron resonance C.V.D) [48].

Une autre technique est la pulvérisation cathodique [49]. Elle consiste à bombarder à l'aide des atomes ionisés d'un gaz (Argon), une cible de silice afin de lui arracher des atomes. Ces atomes ainsi arrachés de la cathode vient se déposer sur l'anode où sont disposés les substrats.

I.10 Conclusion

Dans ce chapitre, nous avons présenté les propriétés structurales, physiques et électriques du Silicium polycristallin. Aussi, les techniques de dépôt et de recuit utilisées pour l'obtention de ce matériau ont été largement détaillées.

Le chapitre suivant sera d'abord consacré à la description du transistor à base de silicium polycristallin, à son fonctionnement, puis aux différentes étapes technologiques mises en œuvre pour sa réalisation.

Chapitre II

**Etat de l'art des technologies
transistors en couches minces
au polysilicium et leurs
applications**

II.1 Introduction

Ce chapitre a pour but de définir dans un premier temps, les structures des transistors en couches minces ainsi que les différents matériaux utilisés pour leur fabrication. Nous présenterons dans un deuxième temps, le procédé de fabrication de ces transistors en décrivant en détail, les différentes étapes technologiques mises en œuvre, le fonctionnement de ces transistors et les paramètres électriques importants qui vont servir par la suite à l'évaluation des performances électriques des transistors en couches minces. Nous achèverons ce chapitre par une description des diverses applications utilisant les transistors en couches minces et plus spécifiquement, le domaine des écrans plats.

II.2 Définition des transistors en couches minces (TCM)

Le transistor en couches minces (ou TFT en anglais) est un transistor à effet de champ constitué d'une couche fine d'un semi-conducteur non monocristallin déposée sur un substrat isolant (figure II.1). La particularité des transistors en couches minces est qu'ils sont composés, comme cela est indiqué dans leur dénomination, uniquement de couches minces (inférieures à quelques centaines de nanomètres). Ils possèdent trois électrodes appelées : la source, le drain et la grille. En plus de la couche semi-conductrice qui est la couche active du transistor, ils sont également constitués d'une couche isolante séparant l'électrode de grille de la couche active.

Le TFT se distingue ainsi du transistor MOSFET par sa technique de fabrication qui permet de l'intégrer sur différents types de supports. Ainsi, il est possible de réaliser des transistors au silicium polycristallin sur des surfaces plus grandes que pour les transistors au silicium monocristallin. Cela explique l'utilisation des TFT pour des applications d'électronique grande surface.

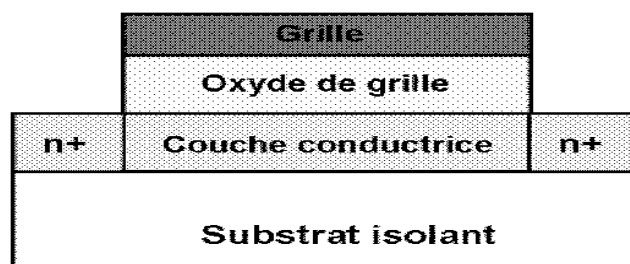


Figure II.1 : Schéma général d'un TFT à canal N [3].

II. 2.1 Matériaux et structures

Il existe plusieurs types de structures de transistors en couches minces définies selon la position de la couche active par rapport à la couche dopée et selon la position du contact de grille (dessus ou dessous). De même, on utilise divers matériaux pour remplir la fonction de couche active. Les recherches sur les performances et les objectifs de production bas coût ont amené les industriels à envisager plusieurs matériaux pour les couches actives de transistors en couches minces. Nous allons découvrir ces différentes structures et les différents matériaux dans ce paragraphe.

II.2.1.1 Différents matériaux

Depuis de nombreuses années, la technologie du silicium amorphe et polycristallin est majoritairement utilisée pour la fabrication de TFTs dans le domaine des écrans plats. Les industriels ont fait de gros efforts afin de diminuer les coûts de production et la technologie a atteint une grande maturité. Bien que ces deux matériaux soient les plus utilisés, beaucoup d'autres ont fait leur apparition ces dernières années, notamment les oxydes transparents et les semi-conducteurs organiques.

a- Les matériaux organiques

Les matériaux organiques ou composés organiques : ceux –ci sont sous la forme d'un cristal ou d'un polymère [2], présentant des propriétés similaires aux semi-conducteurs inorganiques. Ces propriétés sont la conduction par les électrons ou par les trous, ainsi que la présence d'une bande interdite. Ces matériaux ont donné naissance à l'électronique organique, ou électronique des plastiques. On dit "organique" par opposition aux semiconducteurs inorganiques, tel "le silicium".

Les **matériaux organiques** ont l'avantage d'être déposés à très basse température, ils semblent donc être utilisables pour l'électronique flexible et à bas coût. Leurs performances longtemps décriées commencent à montrer des résultats très encourageants. Cependant, le point sensible de cette classe de matériaux reste encore la durée de vie des dispositifs, car ils sont généralement sensibles à l'air et à l'humidité. Comparé au silicium amorphe ou polycristallin, les moyens de production industrielle des dispositifs organiques ne sont absolument

pas développés. Il serait nécessaire de réaliser des investissements massifs pour permettre leur industrialisation.

b- Les oxydes semi-conducteurs amorphes tels que (Indium Gallium Zinc Oxide) l'IGZO, occupent actuellement la deuxième position en terme de mobilité. De plus, grâce à leur structure amorphe ils possèdent également les atouts du a-Si:H soit : une bonne uniformité sur grande surface et de faibles coûts de production. Ce matériau est donc un excellent compromis entre performance, uniformité, et prix.

c- Les matériaux inorganiques

Les matériaux inorganiques et non monocristallins dont les plus utilisés sont le silicium amorphe (a-Si) et le silicium polycristallin (poly-Si).

c-1 Le silicium amorphe est le matériau qui présente la plus faible mobilité $<1\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$. Toutefois, c'est le matériau qui a permis l'émergence d'applications industrielles pour les TFT. Les procédés de fabrication de masse sont très bien maîtrisés, et les usines de production permettent de très bons rendements de production. De plus, sa structure amorphe permet d'obtenir une excellente uniformité sur grande surface. A ce jour, il est toujours utilisé pour réaliser de nombreux écrans plats, car sa maturité industrielle permet de réduire les coûts de production.

c-2 Le silicium polycristallin présente de très bonnes mobilités. Cependant, ses points faibles sont l'uniformité sur grande surface, ainsi que le coût très important de production de par la mise en œuvre du procédé. L'utilisation d'un laser, l'implantation de dopants pour améliorer les contacts et le temps d'un cycle de production sont autant d'éléments qui vont faire que la technologie poly-Si sera utilisée uniquement pour des écrans de petites et moyennes dimensions. Pour des écrans de grandes dimensions, la technologie du silicium amorphe sera préférée. Actuellement c'est le matériau choisi pour les écrans des smartphones les plus performants.

II.2.1.2 Différentes structures

La structure d'un TFT est définie par la position de la couche active, de l'isolant de grille et des électrodes source / drain. Les structures de TFT les plus fréquemment rencontrées sont représentées (Figure II.2). Ces structures se divisent en 2 parties : les structures dans lesquelles le contact de grille et les contacts drain/source sont disposés de chaque côté du semi-conducteur, dites « staggered », et les structures dans lesquelles les contacts de grille, drain et source sont du même côté du semi-conducteur, dites « coplanaires ». Dans les structures « staggered », on distingue la structure dans laquelle la grille est au-dessus du semi-conducteur, dite structure « grille dessus » ou top gate (souvent notée TG), et la structure ou la grille est en dessous de la couche active, dite structure « grille dessous » ou bottom-gate (BG). De même, on retrouve dans les TFT de structures « coplanaires », la structure coplaire simple, où les contacts sont au-dessus de la couche active, et la structure coplaire inversée dans laquelle les contacts sont sous la couche active.

Néanmoins, chaque configuration présente ses avantages et ses inconvénients dont la différence reste minime sur le plan modélisation.

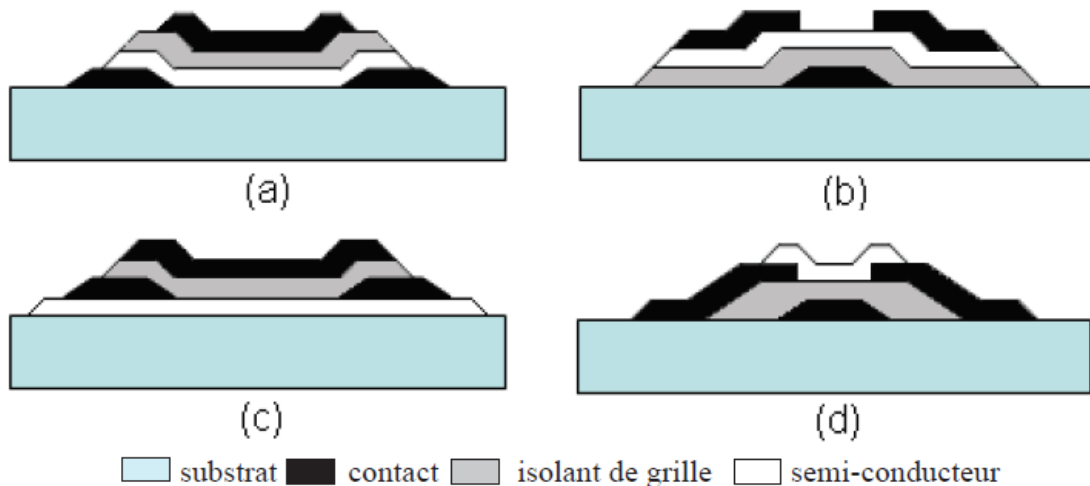


Figure II.2: Schéma des structures de TFT classiques, sans passivation. a) staggered ou Top Gate ; b) staggered inversée ou Bottom Gate ; c) coplaire ; d) coplaire inversée [50]

II.2.1.3 Les différents substrats des TFTs au Poly-Si

Les transistors à couches minces au silicium polycristallin ont subi une forte évolution durant ces vingt dernières années. On peut distinguer deux familles : Les TFT fabriqués à haute température (ou HTPS : High Temperature Polysilicon) et à basse température (ou LTPS : Low Temperature Polysilicon).

- ✚ Pour les filières HTPS, le quartz est le substrat principalement utilisé. Mais l'inconvénient majeur de cette filière reste le coût très élevé du substrat. Son utilisation se limite à des applications requérant de petites surfaces. Il présente néanmoins l'avantage d'avoir des caractéristiques électriques peu dispersées. Aujourd'hui, les TFTs HTPS sont très peu utilisés dans l'industrie.
- ✚ Pour les filières LTPS, il est possible d'utiliser des substrats faibles coûts comme le verre, des substrats souples comme l'acier [51], ou le plastique [52].

Le choix du substrat impose la température maximale applicable lors des différentes étapes technologiques. Les principaux substrats avec leur température maximale sont répertoriés ci-dessous.

Type de substrat	Température maximale du process
Quartz	900°
Verre	600°
Acier	600°
Plastique	200°

Tableau II.1 : *Température maximale de fabrication selon le type de substrat [53].*

Aujourd'hui, les développements technologiques se focalisent sur les filières TFT Poly-Si basse température car elles sont parfaitement compatibles aux différentes technologies des écrans plats (LCD et OLED) et sont très adaptées à leurs contraintes (grande surface, coût faible...).

Dans la suite de ce travail, nous nous limiterons à la technologie TFT LTPS.

II.2.1.4 Comparaison avec le MOSFET

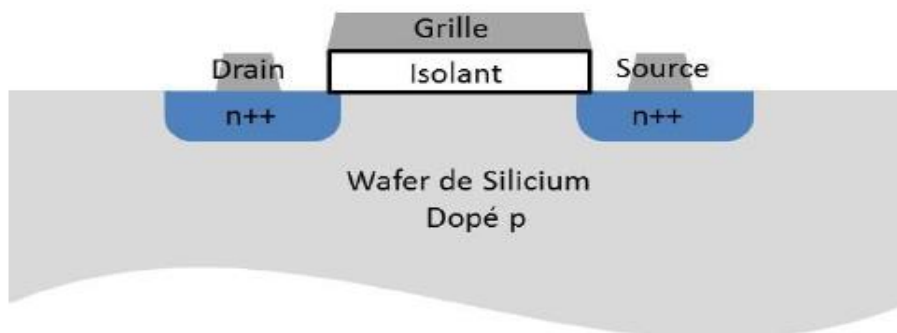


Figure II.3: Structure d'un MOSFET [54]

Les MOSFET aussi bien que les TFTs sont des transistors à effet de champ dans lesquels l'empilement vertical métal/isolant/semi-conducteur est présent. Par conséquent, leur principe de fonctionnement est similaire. Cependant, deux différences sont à noter :

- La première se situe au niveau de la structure. Comme il a été précédemment expliqué, les TFTs sont composés uniquement de couches minces, ce qui leur permet d'avoir un coût de production faible pour des applications sur grandes surfaces, mais aussi d'envisager des applications flexibles ou encore transparentes. Le MOSFET est, quant à lui, fabriqué sur un wafer de silicium (Figure II.3). Son canal est composé de silicium monocristallin, ce qui lui permet d'obtenir des mobilités de porteurs de charge très élevées. Ce sont deux architectures complémentaires.

- La seconde se situe au niveau du fonctionnement. Pour les MOSFET, le courant passe à travers une couche d'inversion, alors que pour les TFTs, il traverse une couche d'accumulation. En effet, pour un transistor de type N, une tension de grille positive provoque une accumulation d'électrons au niveau du canal de transistor. Dans un premier temps les charges libres générées sont piégées par les états localisés se trouvant dans la bande interdite. Ensuite, en augmentant la tension de grille, le nombre de charges libres augmente jusqu'à saturation de tous les pièges : on atteint alors le régime ON du transistor.

Lorsqu'une tension drain est appliquée, un courant circule entre la source et le drain.

II.3 Procédé de fabrication des transistors MOS au silicium polycristallin

II.3.1 Présentation générale du procédé

Dans le cadre de ce paragraphe, on présentera et on discutera les opérations retenues pour la réalisation des transistors MOS à base de silicium polycristallin et à grille auto-alignée. Les avantages du silicium polycristallin utilisé pour la réalisation de la grille par rapport à l'aluminium sont de deux ordres :

- ✚ La tension de seuil des transistors MOS dont la grille est en silicium polycristallin est diminuée par rapport à une grille en aluminium,
- ✚ le silicium polycristallin accepte des températures assez élevées, environ 900°C contre 450°C pour l'aluminium.

Le procédé de fabrication d'une telle structure s'énonce globalement comme suit conformément à l'organigramme ci- dessous :

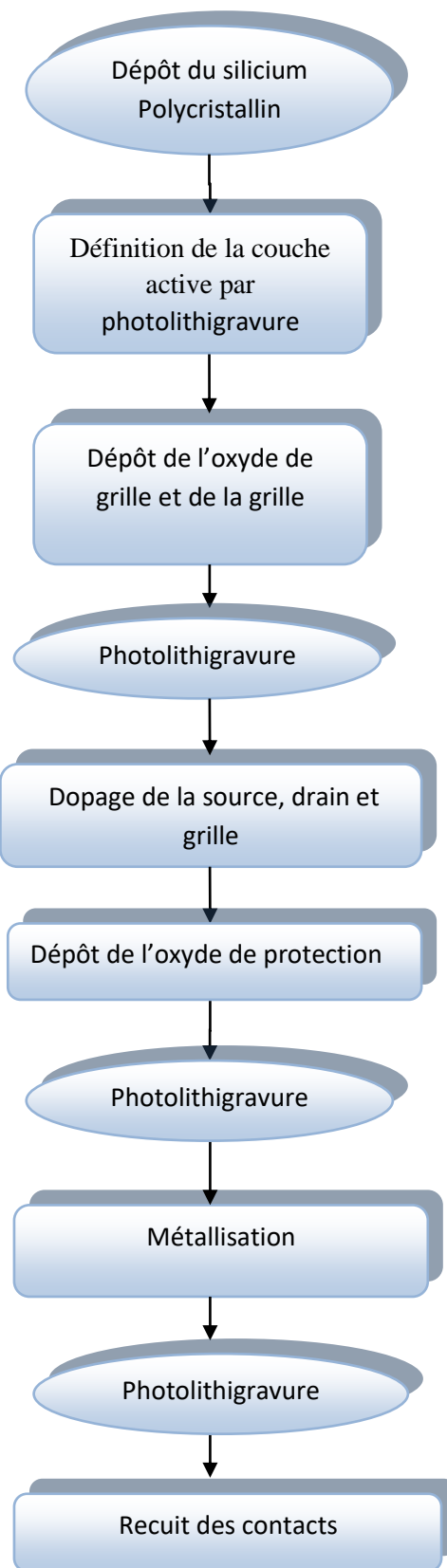


Figure II.4: Procédé de fabrication des TFTs au polysilicium à grille auto alignée.

II.3.2 Mise au point du procédé de réalisation

II.3.2.1 Dépôt du silicium polycristallin

Les dépôts de polysilicium sont réalisés par L.P.C.V.D sur substrat en verre borosilicate. Ils sont obtenus amorphes à 550°C, puis cristallisés à 625°C pendant environ 12 heures. Le dépôt du silicium directement polycristallin, quand à lui, s'effectue à 620°C (Figure II.5).

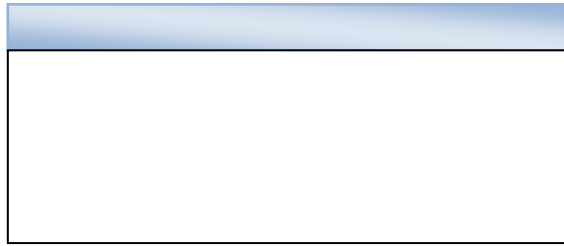


Figure II.5: La structure après dépôt du polysilicium non dopé

II.3.2.2 Définition de la couche active

Pour définir la zone active (Figure II.6), on procède à une photolithographie de sorte à découvrir la surface du semiconducteur que l'on va utiliser. La photolithographie est une méthode permettant d'éliminer à des endroits précis des couches minces de matériaux qui ont été déposées uniformément sur un substrat. En général, l'opération de photolithographie consiste en :

a) Enduction de résine photosensible

Quelques gouttes de résine sont d'abord déposées au centre de la rondelle, puis la force centrifuge étale cette résine en un film ayant une épaisseur de l'ordre du micron suivant la fluidité de la résine.

On doit au préalable précurer cette résine afin d'évaporer le solvant. Il existe deux types de résine, la résine positive et la résine négative.

b) masque et insolation

Une machine d'alignement de masque permet d'amener la rondelle en contact avec un masque reproduisant le dessin à graver, et de positionner, grâce à des motifs d'alignement, le masque par rapport aux motifs gravés précédemment sur la rondelle.

Une fois l'alignement effectué, la rondelle est exposée aux rayons ultraviolets, au travers du masque. Aux endroits exposés à la lumière UV, la résine se polymérise et durcit.

c) développement

La rondelle est ensuite développée dans un solvant qui attaque la résine insolée (résine positive) ou non insolée (résine négative) puis rincée à l'eau désionisée.

d) cuisson de la résine

Le durcissement complet de la résine restante est obtenu par étuvage en atmosphère neutre (azote).

e) Gravure de la couche

Les zones non protégées par la résine, sont attaquées, soit par voie chimique en milieu humide ou par voie sèche. Dans notre cas, la gravure du polysilicium se fait par voie sèche en mode RIE (réactive ionetching). Cette dernière technique repose sur le fait que l'attaque de la surface avec un gaz réactif peut former des produits de gravure volatils qui sont ensuite éliminés de la chambre de réaction par pompage. La gravure sèche appelée aussi gravure plasma présente l'avantage de pouvoir former des profils rigoureusement verticaux grâce à un bombardement ionique directionnel de la surface et à la formation d'une couche de passivation sur les flancs des motifs qui empêche la gravure latérale sous le masque. Cette gravure anisotrope permet de transférer parfaitement les motifs (et les dimensions) du masque dans la couche active du dispositif.

CHAPITRE II: Etat de l'art des technologies transistors en couches minces au polysilicium et leurs applications

Après cette étape, la structure subit un nettoyage RCA complet afin de préparer la couche active au dépôt de SiO_2 et de la grille.

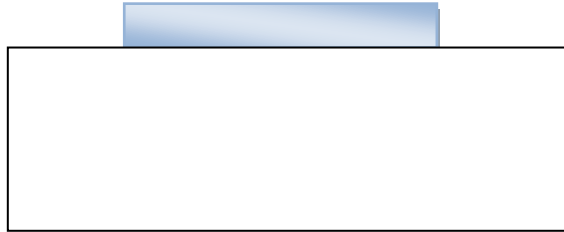


Figure II.6 : Vue en coupe de la structure après définition de la couche active

Le principe du nettoyage RCA est de former un oxyde à la surface de la couche de silicium dans lequel seront piégés successivement des contaminants organiques et métalliques, présents à la surface du matériau. Ce nettoyage consiste à plonger lors d'une première étape, les échantillons dans un bain basique ($\text{H}_2\text{O} + \text{NH}_4\text{OH} + \text{H}_2\text{O}_2$), de procéder par la suite (deuxième étape) à une oxydation dans un milieu acide ($\text{H}_2\text{O} + \text{HCl} + \text{H}_2\text{O}_2$) et finalement à une désoxydation HF. Cette dernière étape sert à éliminer l'oxyde formé lors de la première et la deuxième étape. Cette méthode permet d'obtenir une bonne qualité d'interface entre le canal et l'oxyde de grille.

II.3.2.3 Réalisation de la grille

La grille est constituée d'un film mince isolant, l'oxyde de grille, surmontée d'une couche de silicium polycristallin fortement dopée. De par son importance technologique et sa faible épaisseur, la réalisation de l'oxyde de grille constitue l'étape la plus essentielle et la plus critique. Aussi, la phase de nettoyage avant le dépôt d'oxyde est primordial.

L'oxyde mince de grille est réalisé par dépôt APCVD, puis la couche de polysilicium est ensuite déposée pour former l'électrode supérieure conductrice de la grille. Le dépôt de cette dernière s'effectue par LPCVD (Low Pressure Chemical Vapor Deposition) à partir du silane SiH_4 .

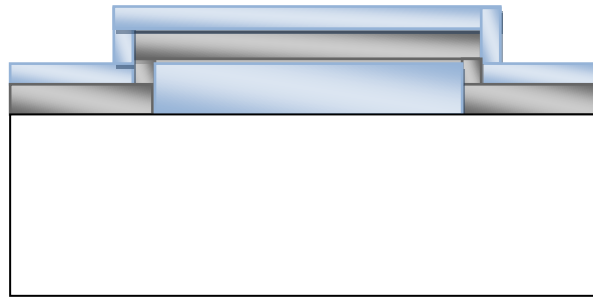


Figure II.7 : Dépôt de l'oxyde mince et de la couche polycristalline servant à l'électrode de grille

Le silicium polycristallin ainsi déposé, est ensuite photolithographié et attaqué de façon à dessiner la grille. La gravure du polysilicium est réalisée par voie sèche RIE car les motifs à graver sont de petites dimensions. Cette étape de photolithographie est associée à une gravure humide de l'oxyde mince.

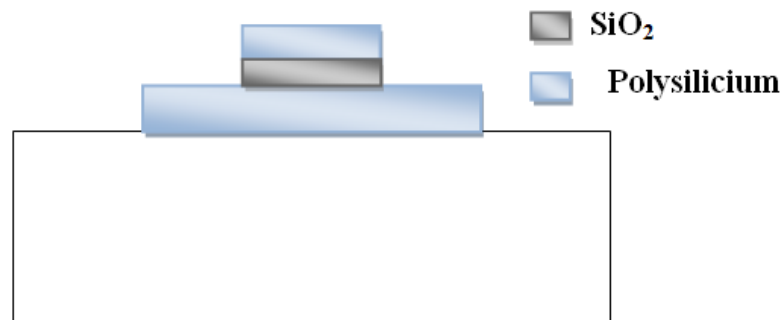


Figure II.8 : Structure obtenue après définition de la grille

II.3.2.4 Dopage de la grille, source et drain

Après avoir défini la grille du TFT, on plante dans la couche de silicium polycristallin de la grille, source et drain des impuretés de phosphore qui se substituent à des atomes de silicium dans le réseau cristallin de façon à le rendre de type n. Lors du dopage, le silicium polycristallin constituant la grille protège le canal en assurant un auto-alignement.

La technique d'implantation utilisée ici consiste à communiquer, par accélération, une énergie cinétique suffisante à des ions d'une impureté choisie, pour les faire pénétrer à une certaine distance à l'intérieur d'un substrat donné. Suivant leur énergie, ces particules ioniques s'arrêtent, se répartissent plus ou moins profondément dans l'épaisseur de la cible.

Cette méthode de dopage permet, contrairement au dopage par diffusion, de contrôler de manière précise la dose implantée dans le substrat par unité de surface.

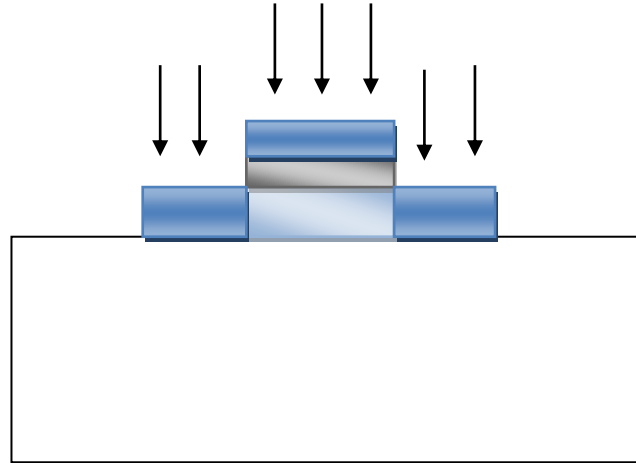


Figure II.9: Dopage de la grille, source et drain

II.3.2.4.1 Avantages de l'implantation ionique

L'implantation ionique est une technique de dopage qui n'est pas soumise aux lois des équilibres thermodynamiques : Il n'y a donc aucune restriction sur la nature des dopants et des substrats. Lors du dopage, les deux paramètres importants de contrôle, que sont la profondeur de pénétration et le niveau de dopage, sont ajustables séparément.

On contrôle la profondeur de pénétration des ions en agissant sur l'énergie d'implantation donc sur la tension accélératrice de l'implanteur. Le niveau de dopage, quant à lui, peut être réglé en faisant varier la dose implantée, c'est-à-dire, le courant I , et / ou la durée t de l'implantation.

L'implantation ionique est par conséquent une technique de dopage très souple. C'est une opération qui se fait, le plus souvent à la température ordinaire, sous vide poussé, en présence d'un faisceau d'ions très pur.

II.3.2.4.2 Défauts et recuit

Le bombardement de la cible par les ions de dopants, crée à l'intérieur du substrat des défauts cristallins. Les ions introduits dans le réseau, occupent le plus souvent des sites interstitiels.

Il est donc nécessaire, après implantation, de procéder à un recuit. Ce dernier permet d'une part, la réorganisation du cristal et d'autre part, les ions dopants se placent en position de substitution et deviennent électriquement actifs en conférant au matériau le caractère p ou n.

II.3.2.5 Réalisation et gravure de l'oxyde de protection

Un complément d'oxyde est nécessaire pour obtenir une isolation diélectrique suffisante entre l'aluminium (qui sert à réaliser les contacts source et drain) et les couches conductrices inférieures.

Cet oxyde est déposé à basse température environ 420°C (LTO) en phase vapeur, à partir de silane et d'oxygène. Cette faible température permet de geler la diffusion des dopants précédemment introduits et de conserver ainsi les profils préalablement définis. Notons que cet oxyde épais recouvre la totalité de la surface du circuit afin de le soustraire aux sources de pollution extérieures. Cet oxyde d'isolation est ensuite photolithographié puis gravé par voie humide à partir d'une solution d'acide fluorhydrique. Un brassage intermittent de la solution par ultrasons est nécessaire de manière à décaper correctement l'oxyde au fond des trous de contact.

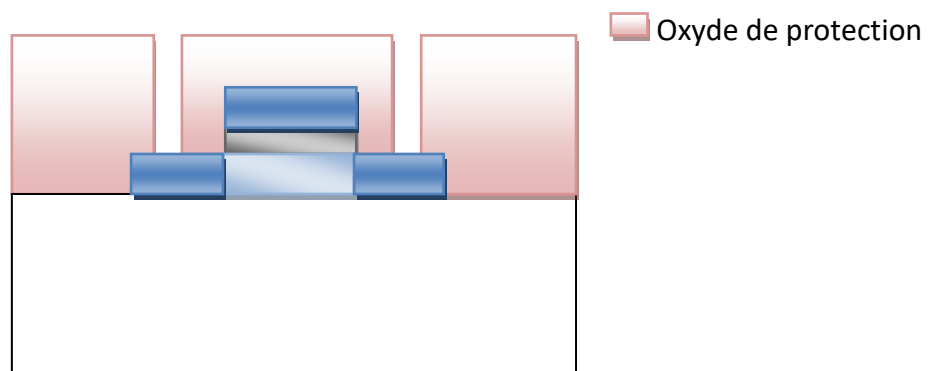


Figure II.10 : Gravure de l'oxyde de protection (Ouverture des contacts)

II.3.2.6 Réalisation des contacts métalliques

La métallisation est effectuée dans un bati d'évaporation par effet joule, dans lequel on fait un vide secondaire (10^{-6} torr). Une étape de photolithographie suivie d'une gravure humide permet de définir les contacts source et drain.

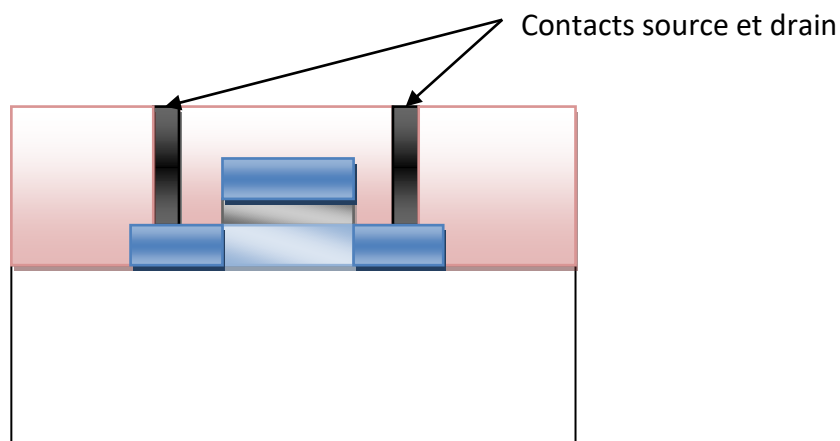


Figure II.11 : Structure finale du TFT

Enfin, la structure présentée en (Figure II.11) subit un recuit sous forme gaz (10% :H₂et 90% N₂), afin d'améliorer les contacts entre les zones dopées et l'aluminium.

II.4 Régimes de fonctionnement du TFT en poly-Si basse température

Le principe de fonctionnement du TFT au poly-Si est similaire à un transistor MOS monocristallin fabriqué en volume (transistor bulk). Il se base sur une conduction par effet de champ dans le canal (N ou P) qui se forme entre la source et le drain. Cette conduction est modulée par la polarisation de la tension de grille qui détermine le régime de fonctionnement du dispositif.

En appliquant une tension à la grille du transistor, nous modifions la position du niveau de Fermi à l'interface semiconducteur – isolant.

Prenons le cas d'un transistor MOS canal n. Lorsque la tension appliquée est très négative, cette interface se comporte comme un semiconducteur de type P et le transistor fonctionne comme deux jonctions P-N en opposition.

CHAPITRE II: Etat de l'art des technologies transistors en couches minces au polysilicium et leurs applications

Lorsque la tension appliquée arrive à la valeur de bande plate, le transistor se comporte comme une résistance intrinsèque.

Lorsque la tension appliquée augmente encore, le niveau de Fermi se déplace en se rapprochant de la bande de conduction. Dans le cas du polysilicium, les états de défauts ne sont pas entièrement remplis, et le transistor passe en régime dit "sous le seuil", puis si la tension augmente encore en régime dit "au-dessus du seuil", caractérisé par un remplissage de tous les états pièges.

La figure (II.12) montre la modification de la structure de bande dans chaque régime et la position du niveau de Fermi correspondant.

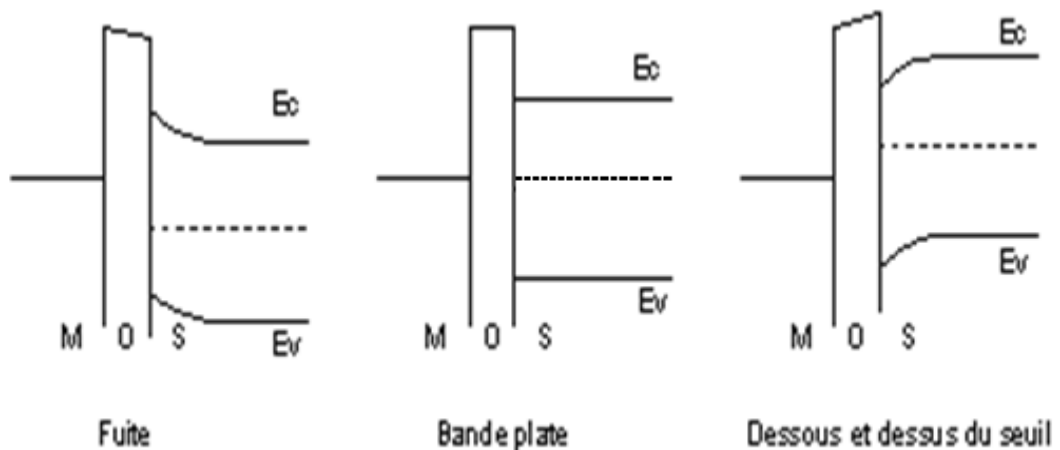


Figure II.12 : Régimes de fonctionnement des transistors au silicium polycristallin [55]

En d'autres termes, cela veut dire que, lorsque l'on applique une tension sur le contact de grille, le comportement du courant de sortie sera différent selon que cette tension sera négative, inférieure ou supérieure à la tension de seuil V_{TH} , comme le montre la Figure (II.13).

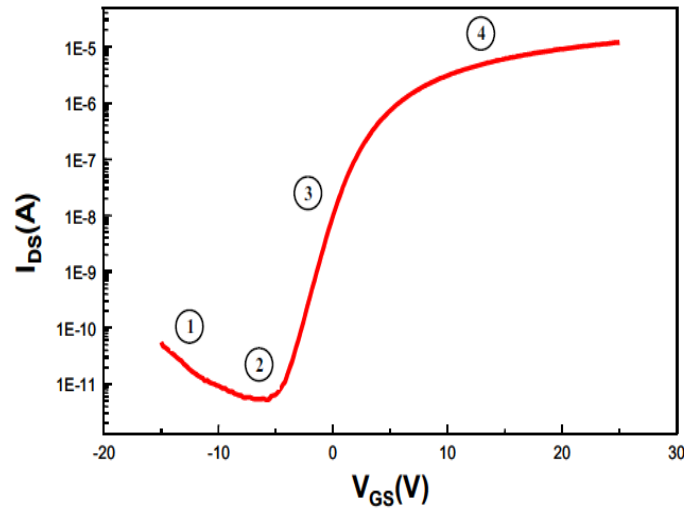


Figure II.13: Caractéristique de transfert en échelle logarithmique d'un TFT [56].

Sur cette caractéristique $I_{DS} = f(V_{GS})$, appelée aussi caractéristique de transfert, nous pouvons distinguer 4 zones différentes :

- la zone 1 pour laquelle le TFT est en régime bloqué.
- La zone 2 qui met en évidence la conduction ohmique de toute la couche active.
- La zone 3 est une zone de transition, pour laquelle la création des porteurs libres est compensée par le piégeage de ces charges dans les états présents dans la bande interdite de la couche active. Pour finir,
- la zone 4 qui représente le régime passant du TFT pour lequel les charges libres ne sont plus piégées et participent entièrement à la conduction.

A présent nous allons expliquer ces différents régimes d'opération.

- Régime bloqué

Le régime bloqué est obtenu lorsque l'on applique une tension négative sur la grille du TFT à canal N, (positive pour un TFT à canal P). Ce courant dépend de la conductivité intrinsèque de la couche active, de la présence de charges à l'arrière du canal, du courant traversant la jonction drain/couche active, de l'isolant de grille, de la passivation [57]. Deux cas se distinguent :

Dans le premier (zone 2), la tension appliquée est modérée. Elle ne permet pas d'attirer suffisamment de trous dans le canal et le courant dépend de la conductivité de la couche active [58] et des charges présentes dans le canal arrière [59]. Dans le second cas (zone 1), la tension appliquée est fortement négative. L'accumulation de trous dans le canal devient importante et on se retrouve dans une configuration de jonction P-N. Lorsque l'on applique une tension positive au niveau du drain, nous sommes dans une configuration de jonction P-N polarisée en inverse et le courant correspondant est celui de la diode polarisée en inverse pour laquelle le courant observé dépend exponentiellement de la tension de grille et de drain [60].

- **Régime sous le seuil**

Le régime sous le seuil correspond au régime de transition de l'état OFF à l'état ON. Ceci est donc valable pour des tensions de grille comprises entre la tension de bande plate V_{FB} et la tension de seuil V_{TH} . Dans ce régime, la création de charges est compensée par le piégeage de ces charges dans les états électroniques présents dans la bande interdite de la couche active (états profonds – liaisons pendantes) et à l'interface canal/isolant de grille. Ce régime est donc fortement dépendant de la densité d'états dans la couche active et à l'interface couche active/isolant de grille [61] [62]. Par conséquent, seule une faible partie de ces charges participent à la conduction. Plus la tension de grille est importante, plus l'on va remplir les défauts et plus le courant augmentera.

- **Régime passant**

Lorsque la tension de grille V_{GS} appliquée devient supérieure à la tension de seuil V_{TH} , on dit que le transistor se trouve à l'état ON, c'est-à-dire dans le régime passant ou au-dessus du seuil. Les charges libres participent entièrement à la conduction car les défauts sont tous remplis. Il y a donc création d'un canal de conduction d'électrons entre le drain et la source.

Selon la valeur de la tension de drain, deux régimes peuvent exister :

✓ **Régime linéaire** ($0 < V_{DS} < V_{GS} - V_{TH}$)

L'expression du courant de drain dans la région linéaire est donnée par :

$$I_{DS} = \frac{\mu_{FE} C_{OX} W}{L} \left(V_{GS} - V_{FB} - 2\phi_f - \frac{\sqrt{4\epsilon_{si} N_a \phi_f}}{C_i} \right) V_{DS} \quad (II. 1)$$

Avec: V_{GS} est la tension grille-source, V_{FB} la tension de bande plate, N_a la concentration de dopants de type accepteur d'électrons, et C_i la capacité d'isolant de grille par unité de surface,

Sachant que la tension de seuil est donnée par l'expression suivante :

$$V_{TH} = V_{FB} + \frac{|Q_{DEP}|}{C_i} + 2\phi_f = V_{FB} + 2\phi_f + \frac{\sqrt{4\epsilon_{si} N_a \phi_f}}{C_i} \quad (II. 2)$$

Q_{Dep} est la densité de charges fixes ionisées (charge de déplétion).

En remplaçant (II.2) dans (II.1), le courant de drain peut être écrit comme suit :

$$I_{DS} = \frac{\mu_{FE} C_{OX} W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (II. 3)$$

✓ **Régime de saturation** ($V_{GS} - V_{TH} \leq V_{DS}$)

Quand V_{DS} atteint $(V_{GS} - V_{TH})$, il y a saturation. Cette tension est appelée tension de saturation V_{DSat} . Lorsque la tension drain-source augmente au-delà de la tension de saturation, la charge dans le canal n'est plus uniforme et le canal devient pincé coté drain. Le point de pincement se déplace vers la source lorsque la tension de drain augmente.

L'expression du courant de drain en mode de saturation est donnée par la relation suivante [63] :

$$I_{DS} = \frac{\mu_{FE} C_{ox} W}{2L} (V_{GS} - V_{TH})^2 \quad (II.4)$$

Avec:

W: Largeur du canal ;

L: Longueur du canal ;

μ_{FE} : Mobilité d'effet de champ ;

C_{ox} : Capacité surfacique de l'oxyde de grille ;

V_{TH} : Tension de seuil du transistor.

II.4.1 Paramètres électriques des TFTs au polysilicium

II.4.1.1 Tension de seuil

La tension de seuil dans les transistors MOS est définie comme étant la tension entre la grille et la source pour laquelle la zone d'inversion apparaît. C'est-à-dire la création du canal de conduction entre le drain et la source. La transition entre le régime OFF et le régime ON est très rapide et on obtient des tensions de seuil $< 1V$.

Contrairement au transistor monocristallin, la commutation du régime OFF à ON se produit plus lentement dans un TFT en poly-Si, en raison de la structure granulaire de la couche active. Effectivement, les porteurs libres issus de la polarisation de la grille se font plus rapidement capturés par les états pièges présents aux joints de grains. Ce qui induit à une concentration en porteurs libres de plus en plus réduite dans le canal d'où une conduction plus lente et une tension de seuil plus élevée.

Nous notons que la tension de seuil V_{TH} peut être déterminée soit en régime de saturation, soit en régime linéaire.

Dans notre cas, elle est déterminée en régime de saturation. Le point d'intersection entre la droite extrapolée du tracé $\sqrt{I_{DS}} = f(V_{GS})$ et l'axe des tensions V_{GS} donne la tension de seuil.

II.4.1.2 Pente sous le seuil

La pente sous le seuil est la valeur de la tension à appliquer à la grille pour augmenter le courant de drain d'une décade (dans le domaine des tensions inférieures à la tension de seuil). Elle dépend de la densité des pièges dans la bande interdite du polysilicium. Ces défauts comprennent ceux présents aussi bien dans le polysilicium que ceux à l'interface isolant/semiconducteur. Dans le TFT en poly-Si, la pente sous le seuil est estimée entre 0.1 à 1 V/décade comparée à celle du transistor en bulk (50 à 100 mV/décade) qui est 10 fois plus faible. Par conséquent, ce paramètre, correspondant à l'inverse de la pente en échelle logarithmique de la fonction de transfert, doit être aussi faible que possible afin d'assurer un faible courant de fuite et une vitesse de commutation élevée [64].

II.4.1.3 Mobilité des porteurs

Le mécanisme de piégeage des porteurs libres, décrit précédemment, explique aussi la dégradation de la mobilité à effet de champ. En effet, la mobilité est fortement diminuée par la présence des joints de grains dans la couche active, ce qui ralentit la participation des porteurs libres à la conduction (environ 2 à 3 fois inférieure à celle d'un transistor bulk). Aussi, la mobilité est étroitement liée aux différentes tensions appliquées [64].

Dans notre cas, la mobilité d'effet de champ est calculée en régime de saturation. Cette mobilité est déterminée à partir de la transconductance, correspondant à la pente de la caractéristique $\sqrt{I_{DS}} = f(V_{GS})$.

II.4.1.4 Rapport I_{ON} / I_{OFF}

I_{OFF} correspond au courant de fuite minimum lorsque le TFT se trouve en état bloqué. La valeur I_{OFF} est déterminée à des tensions V_{GS} et V_{DS} données. Le courant I_{ON} quant à lui, est défini comme étant le courant maximum de drain lorsque le TFT est en état passant. Pour

obtenir des transistors performants, le rapport entre les deux courants doit être le plus élevé possible.

II.5 Impact de la taille des grains sur les performances des transistors

Tous les travaux de recherche s'accordent à montrer que les caractéristiques électriques du TFT à base du polysilicium dépendent étroitement de sa structure (taille des grains du polysilicium) et de ses dimensions géométriques (longueur et largeur du canal). En effet, les paramètres électriques (I_{ON} , V_{TH} , pente sous le seuil, mobilité...) sont nettement améliorés pour des grains plus grands ou lorsque la dimension des transistors et la taille des grains convergent. En effet, en réduisant la taille du composant, on diminue aussi bien le nombre des grains que celui des joints de grains présents dans la couche active, pour tendre alors vers des performances plus proches des transistors bulk. Ce qui a pour effet d'augmenter la mobilité et la pente sous le seuil, alors que le courant de fuite et la tension de seuil tendent vers des valeurs de plus en plus faibles.

II.6 Applications grande surface de la technologie transistors en couches minces en silicium polycristallin

II.6.1 Historique

Les transistors en couches minces existent depuis le début des années 60. Ce fut une découverte exceptionnelle qui ouvrait la voie à une miniaturisation et donc à une diminution des coûts des composants. En effet, en 1962, P.K Weimer [65] présente un TFT déposé sur verre avec une couche active polycristalline de sulfure de cadmium (CdS). La première matrice active des TFTs a été réalisée presque 10 ans plus tard, en 1973, par T.P. Brody [66]. Il s'agissait d'un écran à matrice active LCD (Liquid Crystal Display) de 6 x 6 pouces. Les TFTs étaient composés de séléniure de cadmium (CdSe).

L'intérêt des TFTs devenait évident. Depuis lors, de multiples recherches ont été effectuées sur le sujet afin d'aller toujours plus loin dans la miniaturisation et la diminution des coûts. Ainsi, au début des années 80, les premiers TFTs en silicium amorphe hydrogéné font leur apparition [67]. Les années qui suivent connaissent une maîtrise des dépôts de couches minces, et des architectures des TFTs permettant ainsi, une réduction accrue des coûts de fabrication. Aujourd'hui, le TFT au silicium polycristallin devint l'élément de base dans la

conception des écrans plats à cristaux liquides ([68, 69, 70]) et à diodes électroluminescentes ([71, 72, 73]) dans une structure appelée Matrice Active.

II.6.2 Principe de fonctionnement

Nous allons à présent décrire succinctement le principe de fonctionnement des écrans à cristaux liquides (LCDs) et des écrans à diodes électroluminescentes (OLEDs), en indiquant le rôle des transistors en couches minces dans ce type de dispositifs.

II.6.2.1 Les écrans LCDs

Les écrans LCDs utilisent les propriétés de cristaux liquides qui permettent de faire tourner le plan de polarisation de la lumière en fonction du champ électrique appliqué sur le cristal [67]. Ainsi lorsque l'on insère un cristal liquide entre deux polariseurs dont les directions forment un angle de 90° , deux cas de figures se présentent :

- Au repos, les cristaux liquides tendent à s'aligner les uns sur les autres, l'orientation des molécules étant de 90° . Ils adoptent ainsi une disposition en forme d'hélice. La lumière véhiculée par ces molécules ressort de la cellule suivant la direction du polariseur (Figure II.14 (a)). On parlera alors d'une cellule passante (présence de lumière).
- Sous l'influence d'un champ électrique, les molécules abandonnent totalement leur état hélicoïdal pour s'aligner suivant la direction du champ. La lumière, qui n'est plus déviée par les molécules, est stoppée par le polariseur (Figure II.14 (b)). Dans ce cas, la cellule est bloquée (absence de lumière). Une fois que le champ électrique s'annule, la structure enhélice des molécules se reforme et la cellule reprendra son état passant [74].

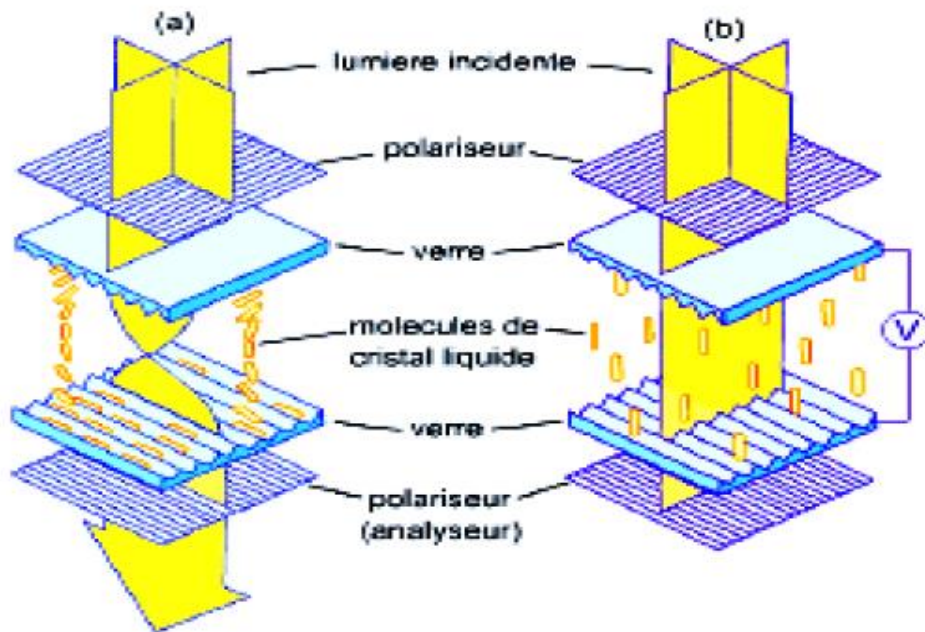


Figure II.14 : Représentation et principe de fonctionnement d'une cellule à cristaux liquides dans un écran plat ou LCD [74]

On est ainsi capable de contrôler le passage d'un flux lumineux en fonction d'une tension appliquée sur le cristal liquide. Ce principe est à la base de la réalisation des écrans LCDs, il permet d'obtenir des écrans fiables et peu coûteux.

Le principe de l'adressage d'une matrice active (Figure II.15), est d'introduire au niveau de chaque pixel, en série avec la capacité du cristal liquide, un élément de contrôle (TFT). Ce dernier permet de maintenir localement la tension nécessaire au basculement du cristal liquide lorsque la ligne correspondante est désactivée.

Cependant, l'adressage est réalisé lorsque une application d'une tension sur la première ligne sélectionnée où tous les transistors de celle-ci sont en état passant. Ensuite, on bloque tous les transistors de cette même ligne pendant l'adressage de la ligne suivante. Une capacité de stockage maintient ainsi la charge (joue le rôle de mémoire) jusqu'au prochain balayage de sorte que le contenu du pixel reste rafraîchi. L'image est donc affichée, après balayage de l'ensemble des lignes, avec une meilleure lisibilité et une bonne stabilité (meilleur contraste avec un temps de réponse rapide).

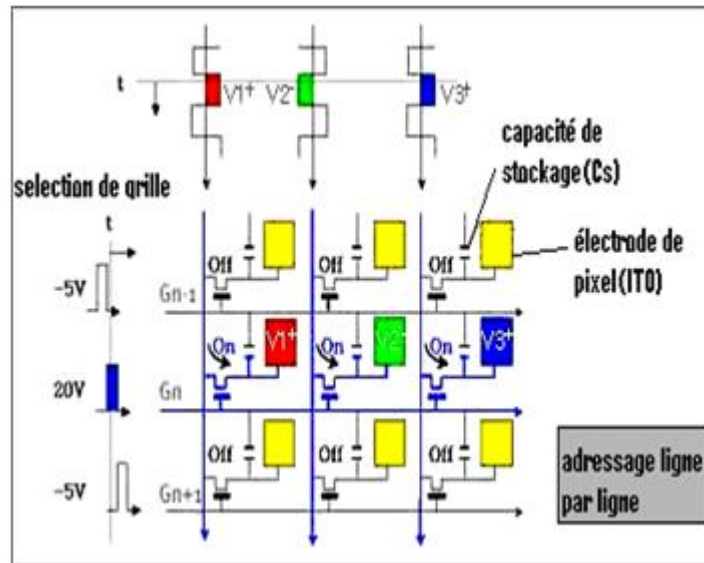


Figure II.15 : Adressage d'une matrice active à cristaux liquides AMLCD [75]

A l'heure actuelle, les transistors de commande des pixels sont principalement fabriqués à partir de silicium amorphe hydrogéné (a-Si:H). Cependant, le silicium amorphe présente une très faible mobilité (de l'ordre de $1 \text{ cm}^2/\text{V}\cdot\text{s}$) et un décalage de la tension de seuil lors de son fonctionnement [76]. Ce dernier effet induit une réduction du courant dans le dispositif en fonction du temps de fonctionnement de l'écran, et nécessite l'intégration des circuits de compensation.

Le remplacement du silicium amorphe par le Silicium polycristallin peut être considéré, vue sa stabilité. Ces dernières années, les chercheurs ont proposé une nouvelle alternative à ces deux matériaux qu'est le silicium microcristallin hydrogéné ($\mu\text{-Si :H}$). Ce matériau, est toujours à l'étude dans divers laboratoires de recherche.

II.6.2.2 Les écrans OLEDs

La technologie OLED (Organic Light-Emitting Diode) est appelée à un développement rapide au cours des dix années à venir. Cette technique vise à remplacer les affichages à cristaux liquides LCD. Alors qu'un LCD est formé de deux plaques de verre enserrant des cristaux liquides, la technologie OLED comprend un "substrat" transparent, en verre ou en plastique, sur lequel reposent les diodes. Chaque pixel de l'écran est composé de trois OLED (une rouge,

une verte et une bleue). Ne dépassant pas le 1/1 000 de millimètre d'épaisseur, chacune d'entre elles est entourée d'une cathode métallique (électrode d'où sort le courant électrique) et d'une anode transparente (électrode où entre le courant). Lorsqu'elle est soumise à un courant, la diode produit donc sa propre lumière sans avoir à recourir au rétroéclairage. Comparée aux écrans LCD, la technologie est encore en cours de développement et son processus de fabrication reste coûteux.

Une cellule OLED de base (Figure II.16) consiste en un empilement de couches organiques fines prises en sandwich entre une anode transparente (ITO) et une cathode métallique (aluminium en général)). Les couches organiques comprennent la couche d'injection, la couche de transport, une couche émettrice et une couche de transport d'électron. Quand un courant approprié est appliqué à la cellule, les charges positives et négatives se recombinent dans la couche émettrice pour produire une lumière électroluminescente dont la couleur dépendra de la composition des molécules organiques. Cependant, chaque pixel d'un écran OLED est constitué de trois diodes électroluminescentes juxtaposées (une rouge, une verte et une bleue), produisant leur propre lumière lorsqu'elles sont soumises à une tension électrique. L'ensemble repose sur un substrat transparent (verre, plastique...) [2].

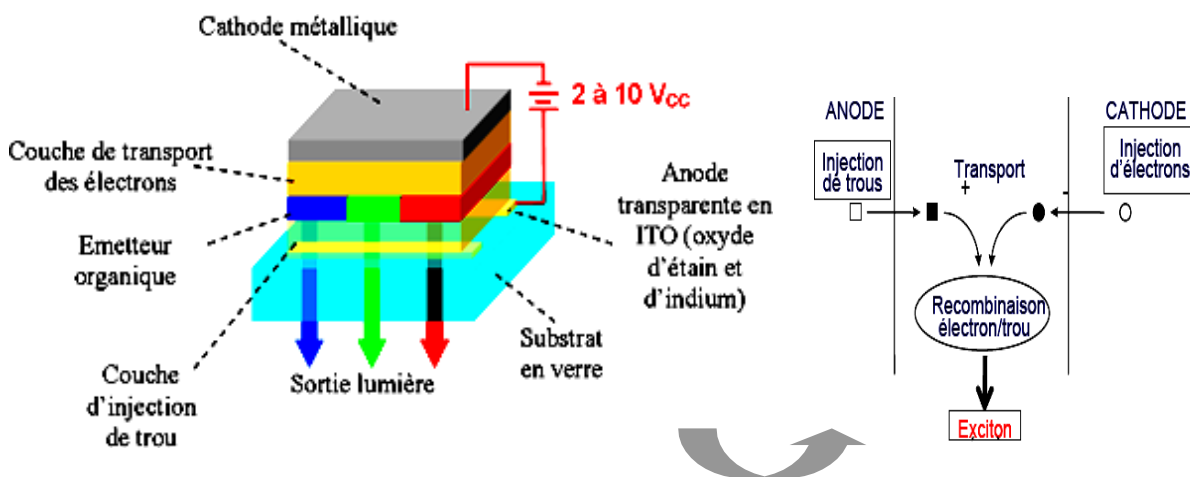


Figure II.16. Présentation d'un pixel d'écran à base d'une OLED [2]

Outre leur faible consommation, les écrans OLED sont plus brillants, plus riches en couleurs, et surtout offrent un large angle de vision, un temps de réponse rapide. Ils pourront aussi être

flexibles. Néanmoins, le coût élevé et leur faible durée de vie sont les deux inconvénients majeurs de cette technique.

Dans la technologie OLED, le circuit de commande de pixel comporte au moins 2 transistors (Figure II.17). L'un est utilisé comme commutateur électronique d'une façon analogue à celle des écrans LCDs. Le second pilote directement la diode OLED en lui fournissant le courant nécessaire à son éclairage. La valeur de ce courant fixe la luminosité de l'OLED.

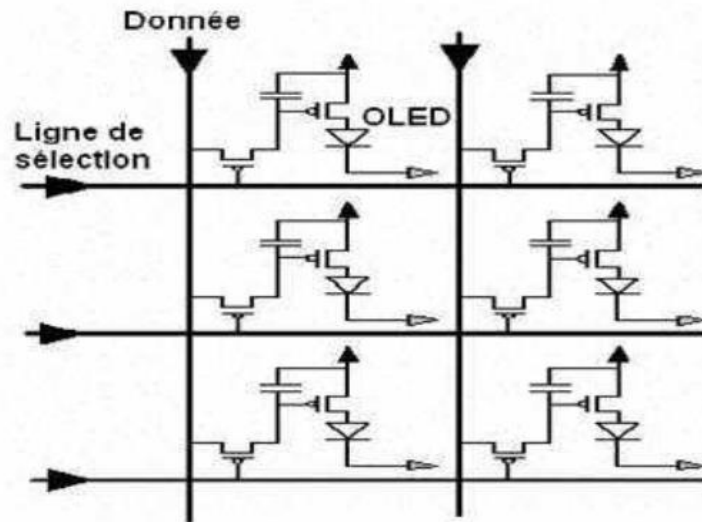


Figure II.17: Schéma de la matrice de transistors pour la commande des OLEDs [77].

Dès lors, il apparaît que le premier transistor est un transistor de commande, qui a les mêmes contraintes que celui utilisé pour les pixels LCD, c'est-à-dire essentiellement un faible courant en régime bloqué afin de maintenir une tension de pixel constante. Le deuxième transistor est, pour sa part, un transistor d'alimentation de l'OLED qui doit avoir une très bonne stabilité de fonctionnement, car il est sollicité en permanence, un rapport I_{ON}/I_{OFF} élevé pour avoir une bonne luminosité et une bonne (faible) pente sous le seuil afin de commuter rapidement entre l'état ON et l'état OFF.

II.7 Conclusion

Dans ce chapitre, nous avons pris en charge l'étude du transistor en couches minces à base de polysilicium. Sa structure, son fonctionnement et le procédé de fabrication ont été décrits. Une analyse des conséquences des propriétés structurales du matériau silicium polycristallin sur les particularités électriques des TFTs (Caractéristique de transfert, tension de seuil, pente sous le seuil, mobilité ...) a été entamée, pour finir avec une présentation des applications utilisant les transistors en couches minces en électronique grande surface.

Le chapitre suivant sera consacré au développement d'un modèle analytique de la mobilité d'effet de champ, à l'obscurité et sous éclairage dans ces transistors.

Chapitre III

Modélisation de la mobilité des porteurs dans les TFTs au Silicium Polycristallin

III.1 Introduction

La modélisation des dispositifs est devenue une étape indispensable pour le développement de circuits en électronique. Une grande partie de cette thèse est consacrée à la modélisation des TFTs et plus précisément à la mobilité d'effet de champ. D'un point de vue scientifique, la modélisation représente une compréhension du comportement physique de ce composant ; et d'un point de vue industriel, elle montre une grande importance lors de la conception d'une électronique, en permettant de simuler et donc de prédire le fonctionnement des circuits conçus.

Il existe de nombreuses manières de modéliser, la plus simple est la modélisation analytique des comportements, basée sur des hypothèses simplificatrices. C'est l'approche qui requiert le moins de ressources informatiques puisqu'elle cherche à approcher le phénomène et/ou la structure étudiés de façon à avoir le modèle le plus simple possible. Pour cela, les modèles analytiques se basent sur les équations relativement simples d'application, et d'une première étude relativement simplifiée de la structure ou du phénomène analysé. Un modèle analytique peut ainsi permettre de donner un premier point de vue sur le comportement de ce phénomène et donc d'en sortir de premiers résultats assez rapidement.

Une autre catégorie de modèles physiques traite l'aspect numérique, offrant une grande précision de calcul au détriment de l'avantage que représente une formulation analytique. Seulement, ce type de modèle engendre un temps de calcul additionnel comparé aux modèles analytiques.

L'objet de ce troisième chapitre est de proposer un modèle analytique décrivant le comportement de la mobilité des porteurs, dans les transistors en couches minces au silicium polycristallin, en régime sous le seuil. Ce modèle prend en compte, la densité de pièges, la polarisation de la grille, du drain et le flux d'éclairement. Il pourra ainsi être appliqué lorsque le TFT se trouve dans des conditions d'obscurité et sous illumination.

III.2 Mise en équation du courant de drain en régime sous le seuil

Prenant en compte l'effet de modulation de longueur de canal à une tension de drain élevée et en considérant que la région de sous-seuil des transistors à couches minces de poly-Si non dopés est contrôlée par le courant de conduction comme rapporté dans [78], le courant de drain dans cette région peut être écrit comme:

$$I_{DS} = \frac{W}{L} C_{ox} u_{eff} (1 + \lambda V_{DS}) \left(\int_0^{V_{DS}} (V_{GS} - V_{FB} - \eta V_{ch}) dV_{ch} \right) \quad (III. 1)$$

Avec : u_{eff} , W , L , V_{GS} et V_{DS} respectivement la mobilité d'effet de champ, la largeur et la longueur du canal, et les tensions grille source et drain source. V_{FB} la tension dans la bande plate, V_{ch} la tension appliquée à un grain et C_{ox} la capacité de l'oxyde de grille par unité de surface.

η est un facteur introduit dans l'équation, qui tient compte de la répartition non équitable de la tension dans les grains, observée pour des tensions de drain élevées, et λ le facteur de modulation de la longueur de canal donné par :

$$\lambda = \frac{1}{LV_{DS}} \sqrt{\frac{2\varepsilon_{si}}{qN_A}} \sqrt{(V_{DS} - V_{DSAT})} \quad (III. 2)$$

où : ε_{si} , N_A , et V_{DSAT} représentent respectivement, la permittivité du silicium, le dopage de la couche active, et la tension de saturation exprimée comme suit :

$$V_{DSAT} = \frac{(V_{GS} - V_{FB})}{\eta} \quad (III. 3)$$

Après intégration, le courant de drain aura pour expression :

$$I_{DS} = \frac{W}{2L} C_{ox} u_{eff} (1 + \lambda V_{DS}) ((V_{GS} - V_{FB} - \eta V_{DS})^2 - (V_{GS} - V_{FB})^2) \left(-\frac{1}{\eta} \right) \quad (III. 4)$$

En régime de saturation, Il ya pincement du canal du côté du drain, et la charge à ce niveau s'annule, ainsi,

$$(V_{GS} - V_{FB} - \eta V_{Ds}) = 0 \quad (III. 5)$$

Par conséquent, l'expression du courant à l'obscurité est réduite à :

$$I_{DS} = \frac{W}{2L} C_{ox} u_{eff} \left(\frac{1}{\eta} \right) (V_{GS} - V_{FB})^2 (1 + \lambda V_{Ds}) \quad (III. 6)$$

Une illumination par la face avant du transistor génère une photo-tension V_{op} appelée également tension optique, qui vient s'ajouter à la tension de grille.

Par conséquent, le courant de drain sous illumination I_{DS}^* peut être écrit de la même manière que l'équation (III.6) en remplaçant V_{GS} par V_{GS}^* ,

$$\text{Avec : } V_{GS}^* = V_{GS} + V_{op} \quad (\text{III. 7})$$

Où V_{op} est la tension optique donnée par [78]:

$$V_{op} = kT \ln \left(\frac{J_P(0)}{J_S} + 1 \right) \quad (\text{III. 8})$$

Avec:

kT l'énergie thermique, J_S la densité du courant de saturation inverse et $J_P(0)$ la densité du courant des trous à l'interface oxyde-canal.

Avant d'entamer la modélisation, quelques rappels sur les différents modèles de distribution de la densité d'états DOS (Density Of States) du silicium polycristallin dans la bande interdite, s'avèrent importants.

III.3 Origine et nature des états dans le silicium polycristallin

Il est bien connu que la structure du silicium polycristallin se situe entre celle du silicium monocristallin et celle du silicium amorphe. Elle est constituée de grains dont la taille varie de quelques centaines de nanomètres à quelques millimètres suivant les conditions d'élaboration, séparés entre eux par des joints de grains. Les joints de grains délimitant des grains d'orientations différentes constituent des zones désordonnées, souvent assimilées à du silicium amorphe. Le désordre induit par les joints de grains se traduit par l'apparition d'états localisés dans la bande interdite. Dans la littérature, plusieurs types de distribution de la densité d'états dans le gap du silicium polycristallin ont été évoqués. Nous pouvons citer :

III.3.1 Distribution de Dirac (δ)

Elle consiste à supposer que le joint de grain est d'épaisseur négligeable par rapport à celle du grain, et contient une densité surfacique de pièges localisée sur un seul niveau d'énergie. SETO a utilisé ce modèle de façon assez satisfaisante sur un film de poly-Si dopé bore [17]. Il

a considéré la nature de ces pièges comme étant d'un seul type, soit donneur soit accepteur. Par ailleurs, les contraintes dues à l'environnement, peuvent occasionner des déplacements de ce niveau piège, soit vers la bande de conduction soit vers la bande de valence.

Actuellement le modèle d'une distribution de Dirac est accepté comme une première approche, à cause de sa simplicité.

III.3.2 Distribution en forme de U

La distribution de la densité d'états en forme de U est généralement acceptée. Elle est modélisée par la somme de la :

- distribution exponentielle provenant des queues de bandes
- distribution en U (U-shaped model), où la densité d'états dans le gap est une valeur constante ou engaussienne provenant des liaisons pendantes.
- distribution discrète provenant des impuretés.

La figure (III.1) donne une représentation schématique du modèle de distribution des états pièges dans le silicium polycristallin.

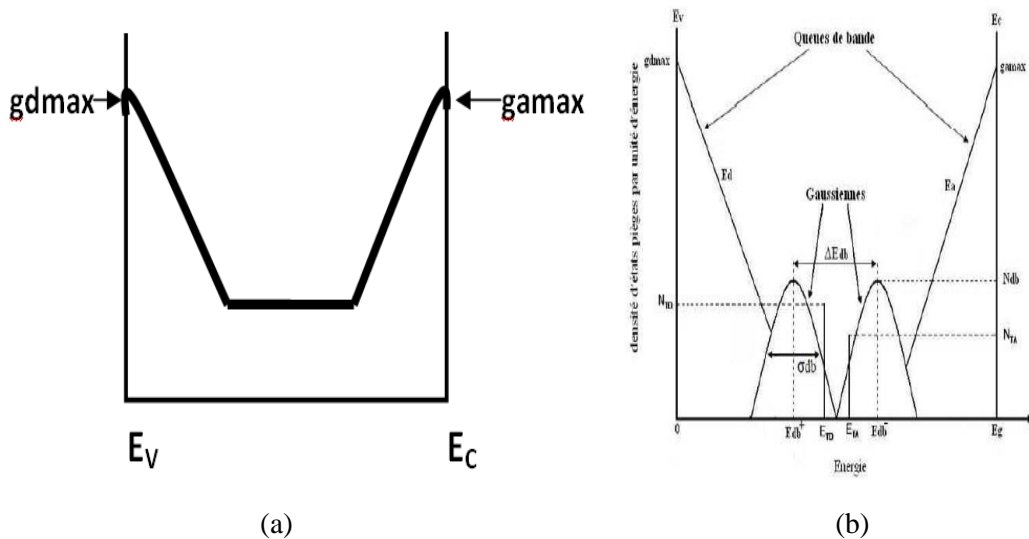


Figure III.1: Distribution des états localisés dans le gap du silicium polycristallin
(a) Modèle en U. (b) Modèle en deux gaussiennes [80].

a- Les états pièges de queues de bandes

Les fluctuations de potentiel dues à la distribution spatiale des défauts introduisent dans la bande interdite des états étendus au voisinage des bandes de conduction et de valence. Les bandes paraboliques de conduction et de valence sont ainsi déformées, faisant apparaître des

queues de bandes exponentielles dissymétriques. Cette dissymétrie est attribuée à la différence de masse effective des électrons et des trous. Les deux distributions d'états de queues de bandes sont de forme exponentielle. La distribution maximale en bord de bande va en décroissant vers le milieu de la bande interdite.

Ces états se comportent respectivement comme des pièges soit à électrons, soit à trous. Ces pièges sont peu sensibles aux traitements thermiques et aux hydrogénations.

b- Les états pièges de liaisons pendantes

Les liaisons pendantes sont des défauts liés à la structure du silicium et correspondent aux liaisons Si-Si non satisfaites. Elles jouent un très grand rôle dans les mécanismes de recombinaisons à cause de leur localisation au voisinage du milieu de la bande interdite et de leur nature amphotère.

c- Les états pièges à niveaux discrets

Ce type de pièges est dû à l'introduction d'impuretés non contrôlées qui introduisent des niveaux pièges localisés dans la bande interdite à un niveau E_{TA} pour des pièges accepteurs ou à un niveau E_{TD} pour des pièges donneurs.

III.4 Formulation du modèle analytique de la mobilité d'effet de champ

III.4.1 Choix du modèle et hypothèses considérées

Avant la mise en équation du modèle analytique de la mobilité des porteurs dans le canal, nous supposerons que le matériau polysilicium servant de couche active, présente une structure granulaire formée de grains de taille identique L_G (cm) et de joints de grains d'épaisseur négligeable par rapport à la taille du grain, comprenant une densité volumique de pièges.

La figure (III.2) représente une coupe schématique de cette couche polycristalline, d'épaisseur d , montrant l'existence des joints de grains colonnaires et éventuellement un joint parallèle dans le cas d'une cristallisation en phase solide.

Nous considérons ici seulement la contribution des queues de bandes qui introduisent dans la bande interdite, des états étendus au voisinage des bandes de conduction et de valence, et des états localisés qui se prolongent dans la bande interdite.

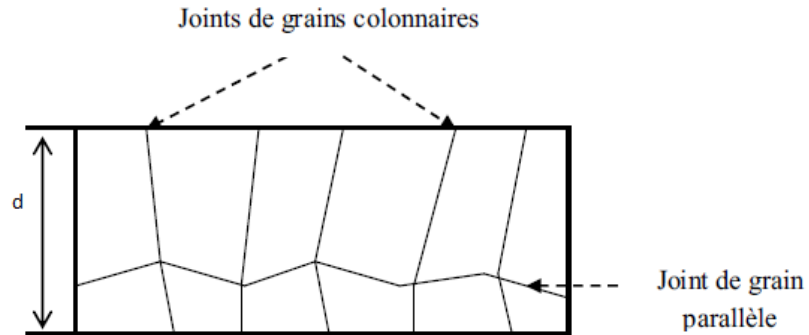


Figure III.2 : Modèle géométrique de la couche active du TFT.

En d'autres termes, pour une structure désordonnée, les états énergétiques existant autour du niveau de Fermi sont dits états localisés, les autres états proches des bandes de conduction ou de valence sont appelés états étendus. L'effet des liaisons pendantes sera négligé, car le transistor est complètement hydrogéné.

Nous rappelons aussi, que le transport électrique dans les semi-conducteurs désordonnés peut être assuré par trois mécanismes : (i) le saut des porteurs d'un état localisé à un autre état localisé (ii) saut d'un porteur d'un état localisé vers un état étendu dans la bande de conduction (ou de valence pour les trous) appelé aussi conduction limitée par pièges, (iii) déplacement des porteurs dans les états étendus au niveau des bandes. Les deux premiers mécanismes exigent l'assistance d'un phonon pour faire déplacer les porteurs d'un état à un autre, ces mécanismes apparaissent à basse et à moyenne températures respectivement. Le premier mécanisme de conduction a été introduit pour la première fois par Yelon et Movaghar [81] pour expliquer la loi Meyer NeldelRule (MNR) dans les semi-conducteurs désordonnés. En revanche le troisième mécanisme apparaît à haute température. En dehors de la température, l'autre principal paramètre qui détermine lequel de ces modes de conduction domine l'autre, est la densité d'états dans le gap du matériau. Par exemple, quand la densité d'états est très élevée dans le gap, la conduction par saut devient importante. C'est le cas pour le silicium amorphe non hydrogéné.

Au contraire, les propriétés de transport de charges dans les matériaux polycristallins ne peuvent pas être expliquées par la théorie du transport par sauts dans les états localisés (mécanisme i). La théorie du piégeage et de dépiégeage multiple (MTR) est plutôt adaptée à ces matériaux [82], [83].

Dans la suite du travail, il s'agira d'élaborer un modèle de la mobilité d'effet de champ dans les TFTs au silicium polycristallin en se basant sur cette théorie.

Le mécanisme de piégeage et de dépiégeage multiple est illustré à la Figure (III.3).

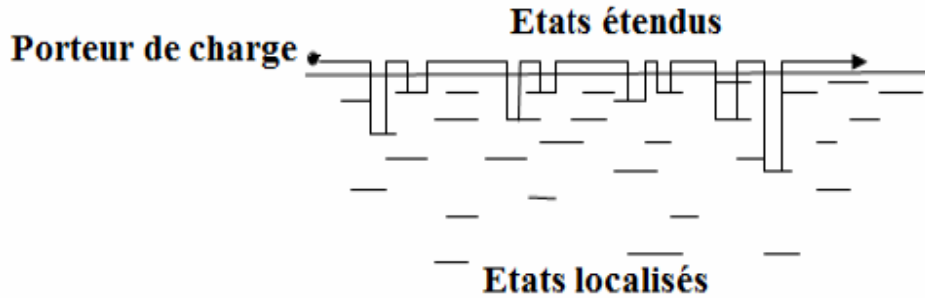


Figure III.3 : Diagramme schématique décrivant la conduction limitée par les pièges associée aux états de queue de bandes.

III.4.2 Modèle de piégeage-dépiégeage multiple

Comme évoqué précédemment, les états des queues de bandes dans les matériaux amorphes ou polycristallins ont un rôle fondamental dans le transport électronique. Le processus de piégeage dépiégeage multiple (multiple trapping and Release Theory MTR) des porteurs de charge libres est associé à des phénomènes multiples de piégeage et dépiégeage où le porteur de charge sera capturé (piégé) par un état proche de la bande, et, si la température lui permet, il peut avoir assez d'énergie pour sortir de ce piège (dépiégé) et regagner sa bande (conduction pour les électrons et valence pour les trous). Ce phénomène peut se répéter plusieurs fois lors du déplacement.

Rappelons en plus, que le piégeage est un phénomène rapide alors que le dépiégeage nécessite un apport d'énergie et constitue donc le facteur limitant. Donc d'une part, la quantité de porteurs libérés augmente avec la température. D'une autre part, elle dépend de la différence d'énergie entre le niveau du piège et celui des états étendus.

Lorsque cette différence d'énergie est faible, alors les états étendus agissent comme un piège peu profond, à partir duquel le porteur de charge peut être libéré (émis) par excitations thermiques. Mais, si cette différence est grande, alors les porteurs de charges ne peuvent pas être excités thermiquement (émis).

III.4.3 Mise en place du modèle

Pour modéliser la mobilité des porteurs en dessous du seuil, il est supposé, comme mentionné précédemment, que le matériau silicium polycristallin est composé d'une chaîne linéaire de grains séparés par des joints de grains (GB). Les grains sont des matériaux monocristallins sans défauts ayant un dopage N_D . Les joints de grains, sont eux décrits par une distribution de la densité d'état $N_G(E)$ en forme-U, modélisée par la somme d'une distribution constante de liaisons pendantes, et de queue de bande exponentielle près du bord de la bande de conduction [82].

$$N_G(E) = N_{td} + N_T kT_t \exp\left[\left(\frac{E-E_C}{kT_t}\right)\right] \quad (\text{III.9})$$

Où N_{td} , N_T , E_C et kT_t sont respectivement la densité des liaisons pendantes, de la queue de bande, le bas de la bande de conduction, et l'énergie caractéristique de la queue de bande de conduction.

Aussi, dans le présent travail, aucune contribution des états profonds n'est considérée puisque le TFT au poly-Si est entièrement hydrogéné. Les électrons peuvent être piégés puis libérés uniquement des queues de la bande.

En se basant sur la théorie de la conduction limitée par pièges, la mobilité d'effet de champ s'écrit comme suit :

$$\mu_{\text{eff}} = \mu_{\text{band}} \left(\frac{n_{\text{free}}}{n_{\text{free}} + n_{\text{trap}}} \right) \quad (\text{III.10})$$

Ici, μ_{band} est la mobilité de bande de la couche de polysilicium, n_{free} et n_{trap} sont respectivement les densités de porteurs libres et piégés aux états de queue de bandes.

n_{free} et n_{trap} peuvent être représentés analytiquement en fonction du potentiel de surface φ_S et V_{ch} comme suit:

$$n_{\text{trap}} = N_T kT_t \exp\left(\frac{q(\varphi_S - \eta V_{\text{ch}}) - E_{F0}}{kT_t}\right) \quad (\text{III.11})$$

$$n_{\text{free}} = N_C \exp\left(\frac{q(\varphi_S - \eta V_{\text{ch}}) - E_{F0}}{kT}\right) \quad (\text{III.12})$$

Où N_C est la densité effective d'états dans la bande de conduction, q la charge de l'électron, kT l'énergie thermique et E_{F0} est le niveau de Fermi dans la zone neutre du film de silicium polycristallin, qui se situe à proximité du milieu du gap lorsque le film est non dopé.

En utilisant les équations (III.11) et (III.12), l'équation (III.10) peut être réécrite en fonction de φ_S comme :

$$\mu_{\text{eff}} \approx \mu_{\text{band}} \left(\frac{N_C}{N_T k T_t} \right) \exp \left[-E_{F0} \left(\frac{1}{kT} - \frac{1}{kT_t} \right) \right] \exp \left[q(\varphi_S - \eta V_{\text{ch}}) \left(\frac{1}{kT} - \frac{1}{kT_t} \right) \right] \quad (\text{III.13})$$

Afin d'établir l'expression finale de la mobilité des porteurs dans le canal, une expression du potentiel de surface est requise.

Pour aboutir, on applique d'abord la loi de Gauss à l'interface isolant-semi-conducteur qui s'écrit :

$$\frac{C_{\text{ox}}}{\epsilon_s} (V_{\text{GS}} - V_{\text{FB}} - \varphi_S) = E(\varphi_S) \quad (\text{III.14})$$

Avec : C_{ox} est la capacité de l'oxyde, ϵ_s la permittivité du silicium, V_{FB} la tension de bandes plates et,

E : le champ électrique donné par l'expression :

$$E(\varphi) = \sqrt{\frac{2q}{\epsilon_s} \int_{\eta V_{\text{ch}}}^{\varphi} (n_{\text{free}} + n_{\text{trap}}) d\varphi} \quad (\text{III.15})$$

En considérant uniquement la contribution des charges piégées ($n_{\text{free}} \ll n_{\text{trap}}$), l'équation (III.14) devient :

$$C_{\text{ox}}(V_{\text{GS}} - V_{\text{FB}} - \varphi_S) \cong \sqrt{2q\epsilon_s \int_{\eta V_{\text{ch}}}^{\varphi_S} n_{\text{trap}}(\varphi, \eta V_{\text{ch}}) d\varphi} = \sqrt{2q\epsilon_s k_t \exp \frac{q(\varphi_S - \eta V_{\text{ch}})}{kT_t}} \quad (\text{III.16})$$

$$\text{Où: } k_t = N_T k T_t^2 \exp \left(-\frac{E_{F0}}{kT_t} \right) \quad (\text{III.17})$$

L'équation (III.16) permettant la détermination du potentiel de surface, ne peut être résolue que par des itérations numériques telles que la méthode de Newton-Raphson, ou par la méthode de Lambert W. Ces deux méthodes seront détaillées ci –après.

III.4.4 Méthode de résolution numérique

III.4.4.1 Historique

En analyse numérique, la méthode de Newton ou méthode de Newton-Raphson est, dans son application la plus simple, un algorithme efficace pour trouver numériquement une approximation précise d'un zéro (ou racine) d'une fonction réelle d'une variable réelle. Cette méthode doit son nom aux mathématiciens anglais Isaac Newton (1643-1727) et Joseph Raphson (peut-être 1648-1715), qui furent les premiers à la décrire pour la recherche des solutions d'une équation polynomiale. Thomas Simpson (1710-1761) élargit considérablement le domaine d'application de l'algorithme en montrant, grâce à la notion de dérivée, comment on pouvait l'utiliser pour calculer une solution d'une équation non linéaire, pouvant ne pas être un polynôme, et d'un système formé de telles équations.

III.4.4.2 Méthode de Newton-Raphson

a- Le principe

La méthode consiste à introduire une suite (x_n) d'approximation successive de l'équation :

$$f(x) = 0.$$

- On part d'un x_0 proche de la solution.
- À partir de x_0 , on calcule un nouveau terme x_1 de la manière suivante : on trace la tangente à \mathcal{C}_f en x_0 . Cette tangente coupe l'axe des abscisses en x_1 comme indiqué sur la figure ci-dessous.
- On réitère ce procédé en calculant x_2 en remplaçant x_0 par x_1 , puis x_3 en remplaçant x_1 par x_2 et ainsi de suite . . .

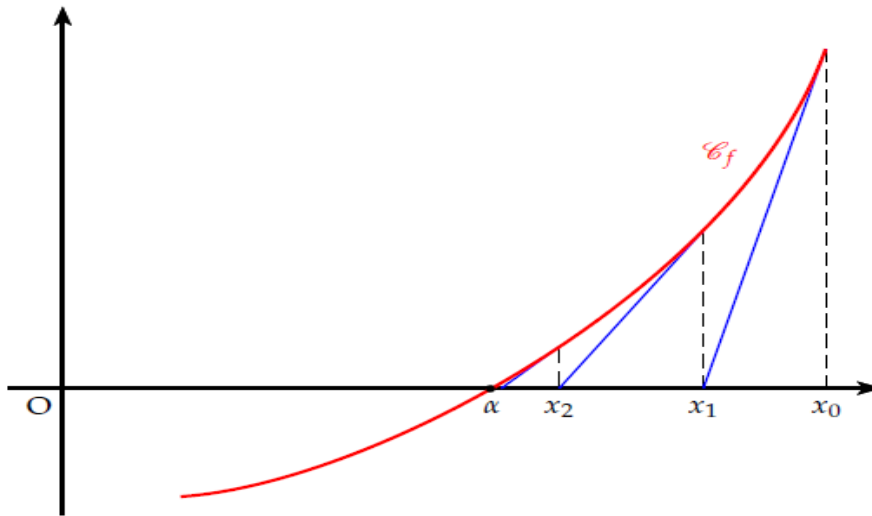


Figure III.4 : Illustration de la méthode de Newton Raphson

b- Formule de récurrence

x_{n+1} est l'abscisse du point d'intersection de la tangente à \mathcal{C}_f en x_n avec l'axe des abscisses.

L'équation de la tangente en x_n est : $y = f'(x_n)(x - x_n) + f(x_n)$

Cette tangente coupe l'axe des abscisses quand $y = 0$:

$$f'(x_n)(x - x_n) + f(x_n) = 0 \quad \Leftrightarrow \quad f'(x_n)(x - x_n) = -f(x_n)$$

$$x - x_n = -\frac{f(x_n)}{f'(x_n)} \quad \Leftrightarrow \quad x = x_n - \frac{f(x_n)}{f'(x_n)}$$

On a donc la relation de récurrence suivante : $x_{n+1} = x_n - \frac{f(x_n)}{f'(x_n)}$ (III.18)

III.4.4.3 La fonction de Lambert W

Plusieurs problèmes en physique sont décrits par des équations implicites dont leurs nombre augmentent en particulier dans les circuits électroniques et dans la modélisation des composants électroniques. La fonction de Lambert W est un outil mathématique qui sert à la résolution analytique et explicite de ces équations. L'utilité de la fonction de Lambert W est bien illustrée dans le modèle des jonctions non idéales avec une résistance série R_s et une résistance shunt R_{sh} , dans les caractéristiques des cellules solaires et dans les MOSFET.

La fonction de Lambert W a été introduite en 1758 dans les travaux de Lambert [84], ensuite elle a été étudiée par Euler en 1779 [84], puis par E.M.Wrighten 1959 [84] d'où elle porte son

nom. Le nombre d'applications de la fonction de Lambert W a augmenté considérablement dans les dernières années [85]. Le premier problème physique résolu explicitement avec la fonction de Lambert W était l'échange de force entre deux nucléons à l'intérieur d'une molécule H (H₂⁺) [86].

La fonction de Lambert W est définie comme étant la fonction qui vérifie la formule suivante :

$$W(x)e^{W(x)} = x \tag{III.19}$$

x: argument de la fonction W.

L'inconvénient majeur de la méthode de Newton Raphson réside dans le choix de la première approximation de la solution qui pourrait causer une divergence de calcul. Pour cette raison, on appliquera la méthode de Lambert W dans la suite du travail.

III.4.4.4 Calcul de la fonction de Lambert W

Par définition, le graphe de la fonction W est la courbe obtenue par symétrie du graphe (en vert sur la figure (III.5)) de la fonction $f(x)=xe^x$ par rapport à l'axe $y=x$. Le graphe de la fonction W est formé de deux branches réelles. La branche (en bleu) $W_0(x)$ appelée la branche principale qui est définie pour $x \geq -1/e$ et des valeurs de W_0 supérieures ou égales à -1 et la branche secondaire W_{-1} (en rouge) correspondant aux valeurs inférieures ou égales à -1 avec $-1/e \leq x < 0$, e étant la base du logarithme népérien.

Par conséquent, le calcul de la fonction de Lambert W dépendra de l'intervalle de l'argument x.

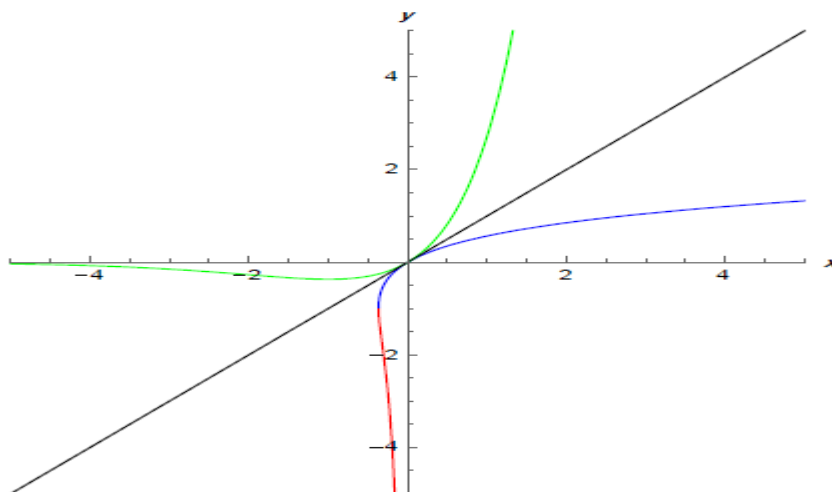


Figure III.5 : Les deux branches de la fonction de Lambert sur l'intervalle $\left] -\frac{1}{e}, +\infty \right[$

Le nombre de solutions de la fonction $W(x)$ est donné dans le tableau ci-dessous[87] :

La valeur de x	Les solutions de $W(x)$
$x < -\frac{1}{e}$	Pas de solution réelle
$-\frac{1}{e} \leq x < 0$	Deux solutions réelles négatives
$x \geq 0$	Une seule solution réelle positive

Tableau III.1 : Solutions de $W(x)$ pour différentes valeurs de x

L'importance de la fonction W de Lambert est de donner les solutions pour différentes équations non-algébriques incluant des fonctions exponentielles ou logarithmes [88].

La stratégie générale est de déplacer toutes les instances de l'inconnue d'un côté de l'équation et transformer l'équation initiale en la forme $f(x)e^{f(x)} = y$ [87]. A ce stade, et suite à la définition de la fonction W donnée par l'équation (III.19), la solution de l'équation $f(x)e^{f(x)} = y$ est $f(x)=W(y)$ [90].

Aussi, le calcul de la fonction $W(x)$ compte sur des approximations avec différentes valeurs de l'erreur relative. Chaque intervalle de x possède une formule approximative de calcul.

En se basant sur la méthode de calcul décrite précédemment, la solution de l'équation (III.16) s'écrit comme :

$$\varphi_s = V_{GS} - V_{FB} - V_{T0} W_0 \left[\frac{V_{Ti}}{V_{T0}} \exp \left(\frac{V_{GS} - V_{FB} - \eta V_{ch}}{V_{T0}} \right) \right] \quad (III. 20)$$

Avec $V_{T0} = 2kT_t$ et $V_{Ti} = \frac{\sqrt{2qk_t \epsilon_s}}{C_{ox}}$

L'approximation analytique de l'équation (III.20) donnée par [89] est utilisée ici pour le calcul du potentiel de surface

Dans ce but, lorsque le transistor est dans la région linéaire, c'est-à-dire $V_{GS} - V_{FB} > V_{ch}$, l'argument de W_0 croît très rapidement grâce à sa dépendance exponentielle de $V_{GS} - V_{FB} - V_{ch}$. Une bonne approximation de W_0 dans la région linéaire est son expansion de second ordre $W_0[x] = \log(x) - \log[\log(x)]$ et le potentiel de surface se lit comme suit:

$$\varphi_s = \eta V_{ch} + V_{T0} \log \left[\frac{V_{T0}}{V_{Ti}} \log \left(\frac{V_{Ti}}{V_{T0}} \right) + \frac{V_{Gs} - V_{FB} - V_{ch}}{V_{Ti}} \right] \quad (\text{III. 21})$$

D'un autre côté, lorsque le transistor est dans la région sous-seuil, c'est-à-dire $V_{Gs} - V_{FB} < V_{ch}$, l'argument de $W0$ passe rapidement à zéro et le potentiel de surface se révèle être exactement la tension de surcharge de grille:

$$\varphi_s = V_{Gs} - V_{FB} \quad (\text{III. 22})$$

Les deux équations ci-dessus sont une approximation très précise dans la région linéaire (équation III.21) et sous-seuil (équation III.22), séparément. Afin d'unifier les deux équations en une seule fonction continue, on peut combiner les deux comportements avec la fonction suivante:

$$\log(1 + e^x) \cong \begin{cases} x & \text{si } x \gg 0 \\ e^x & \text{si } x \leq 0 \\ 0 & \text{si } x \ll 0 \end{cases}$$

et donc:

$$\varphi_s = \eta V_{ch} + V_{T0} \log \left[\frac{V_{T0}}{V_{Ti}} \log \left(1 + \frac{V_{Ti}}{V_{T0}} e^{\frac{V_{Gs} - V_{FB} - \eta V_{ch}}{V_{Ti}}} \right) \right] \quad (\text{III. 23})$$

Lorsque $V_{Gs} - V_{FB} - \eta V_{ch} > 0$ l'équation (III.23) s'écrit sous la forme :

$$\varphi_s \approx \eta V_{ch} + 2kT_t \log \left[\frac{C_{ox}(V_{Gs} - V_{FB} - \eta V_{ch})}{\sqrt{2qk_t \epsilon_s}} \right] \quad (\text{III. 24})$$

En substituant l'expression (III.24) dans celle de la mobilité d'effet de champ (Eq III.13), et par intégration le long du canal, on obtient:

$$u_{eff} = \frac{\zeta (V_{Gs} - V_{FB})^{\alpha+1}}{\eta (\alpha + 1) V_{DS}} \quad (\text{III. 25})$$

Avec:

$$\zeta \equiv u_{band} \frac{N_C}{N_T k T_t \exp\left(\frac{-E_{F0}}{k T_t}\right)} \exp\left(\frac{E_{F0}}{k T}\right) \left(\frac{C_{ox}^2}{2qk_t \epsilon_s}\right)^{\frac{\alpha}{2}} \quad (\text{III. 26})$$

$\eta\alpha = 2\left(\frac{kT_t}{kT} - 1\right)$. A noter que ξ est un pré facteur indépendant de V_{GS} . Comme indiqué dans l'équation (III.22), la mobilité d'effet de champ (μ_{eff}) est une fonction de V_{GS} et est liée aux états de queue de bandes localisés en termes d'exposant (α) et de constante (ζ) suivant une loi de puissance. Le paramètre η est extrait en ajustant le courant de drain expérimental au courant de drain calculé en fonction de la tension de grille.

Sous illumination, une photo tension est additionnée à la tension de grille de telle sorte que l'expression de la mobilité des porteurs sous illumination μ_{eff}^* devienne:

$$u_{eff}^* = \frac{\zeta(V_{GS} + V_{op} - V_{FB})^{\alpha+1}}{\eta(\alpha + 1)V_{DS}} \quad (III. 27)$$

III.4.4.5 Détermination de la mobilité d'effet de champ expérimentale

La dernière partie du chapitre suivant sera consacrée à la validation du modèle élaboré. Pour cela, les mobilités expérimentales doivent être déterminées puis comparées à celles calculées à partir du modèle mis en place.

En raison de la dépendance de la mobilité d'effet de champ de la tension de grille, la transconductance (g_m) en régime de saturation est calculée comme suit:

$$g_m = \frac{\partial \sqrt{I_{DS}}}{\partial V_{GS}} = \sqrt{C_{ox} \left(\frac{W}{2L\eta}\right)} \sqrt{(1 + \lambda V_{DS})} \left(\frac{\partial \sqrt{\mu_{eff}}}{\partial V_{GS}} (V_{GS} - V_{FB}) + \sqrt{\mu_{eff}} \right) \quad (III. 28)$$

La première dérivée de la racine carrée de u_{eff} s'écrit comme :

$$\frac{\partial \sqrt{\mu_{eff}}}{\partial V_{GS}} = \sqrt{\mu_{eff}} \left(\frac{\alpha + 1}{2} \right) (V_{GS} - V_{FB})^{-1} \quad (III. 29)$$

L'équation (III.25) peut être réécrite comme suit:

$$g_m = \sqrt{C_{ox} \left(\frac{W}{2L\eta}\right)} \sqrt{(1 + \lambda V_{DS})} \sqrt{\mu_{eff}} \left(\left(\frac{\alpha + 1}{2} \right) + 1 \right) \quad (III. 30)$$

u_{eff} est maintenant extraite à partir de l'expression précédente de telle sorte que :

$$\mu_{eff} = \frac{gm^2}{C_{OX} \left(\frac{W}{2L\eta}\right) (1 + \lambda V_{Ds}) \left(\left(\frac{\alpha+1}{2}\right) + 1\right)^2} \quad (III. 31)$$

L'équation (III.28) montre que la mobilité des porteurs est réduite d'un rapport de $1/\left(1 + \frac{\alpha+1}{2}\right)^2$. Le terme α , étant lié aux états de queues de bandes localisés. La réduction de la mobilité est donc expliquée par le phénomène de piégeage dans ces états localisés. Ainsi, la méthode conventionnelle généralement utilisée pour la détermination de la mobilité μ_{eff} donne une valeur sur estimée de celle-ci.

III.5 Conclusion

Un modèle analytique simple de la mobilité d'effet de champ des transistors MOS en couches minces à base de polysilicium a été proposé. Ce dernier est basé sur la théorie de la conduction limitée par pièges.

Ainsi, avec le modèle développé, nous avons été en mesure d'examiner de près l'influence des pièges dans les états de queues de bandes localisés sur la mobilité des porteurs dans le canal. Les résultats montrent que la mobilité des porteurs dans le canal est réduite d'un facteur de $1/\left(1 + \frac{\alpha+1}{2}\right)^2$.

L'exposant (α) étant fonction de l'énergie caractéristique kT_t de ces états, il est ainsi fortement lié au degré du désordre existant dans le canal. Cela suggère qu'une réduction de kT_t est nécessaire pour atteindre une mobilité plus élevée.

Chapitre IV

Résultats et Discussion

IV. 1 Introduction

L'influence de la lumière sur le matériau polysilicium a été étudiée principalement pour son utilisation dans la fabrication des cellules solaires [90], [91], [92]. Cependant, l'intérêt pour la photoconductivité, en particulier pour les TFTs, n'a été ravivé qu'au cours des dernières années et de nombreux articles ont examiné l'effet de l'illumination sur les caractéristiques des transistors en couches minces à base de Silicium polycristallin, Silicium amorphe (a-Si), semi-conducteurs IGZO amorphes (a-IGZO), constitués des éléments chimiques Indium, Gallium et d'Oxyde de Zinc, et de matériaux organiques [93], [94], [95]. Les résultats ont montré que, sous illumination visible, les caractéristiques de transfert des transistors à couche mince a-Si montraient des changements remarquables dans les régions situées en dessous du seuil, et à l'état off où le courant de fuite était de plusieurs ordres de grandeur plus grand que le courant d'obscurité. Les TFTs au polysilicium, par contre ne présentaient qu'une photosensibilité faible ou nulle [96,97].

Sous une illumination similaire, le transistor à effet de champ à base d'IGZO était stable mais très sensible à la lumière ultraviolette (UV). Au contraire, la lumière UV et la lumière blanche contrôlaient optiquement le fonctionnement des TFTs organiques.

Dans ce chapitre, nous nous intéresserons, plus particulièrement aux transistors au polysilicium, où une analyse du comportement électrique de ces dispositifs est présentée à la fois à l'obscurité et sous illumination. Dans un premier temps, on traitera en détail le comportement sous éclairage des TFTs élaborés par procédé LPCVD. Aussi, les caractéristiques de transfert expérimentales seront étudiées et discutées en fonction de la longueur du canal, du temps d'hydrogénation et de l'épaisseur de la couche active.

Dans un deuxième temps, et en se basant sur la théorie de la conduction limitée par pièges ou trap-limited conduction (TLC), une expression analytique de la mobilité des porteurs libres à l'obscurité puis sous éclairage est développée. Les résultats de cette étude seront représentés par un ensemble de tracés illustrant l'évolution de ce paramètre en fonction des tensions de grille et de drain, de la densité et de l'énergie caractéristique des queues de bandes.

IV.2 Préparation des échantillons

Tous les dispositifs utilisés dans ce travail et fournis par l'institut national de Lyon (INL), sont à base de Silicium polycristallin. La LPCVD est la technique utilisée, avec des conditions de dépôt différentes. Le silicium déposé directement polycristallin à 620°C, ou amorphe à 550°C puis cristallisé à 625°C est utilisé aussi bien pour la couche active que pour la grille des différents transistors. L'oxyde de grille est déposé par LPCVD, son épaisseur est de 1000 Å. Les épaisseurs de la couche active sont variables et seront citées dans les sections suivantes. La largeur du canal est de 50 µm alors que sa longueur couvre la gamme 4 – 20 µm. L'hydrogénation est réalisée dans un plasma RF à 350°C.

IV.3 Caractérisation électrique

IV.3.1 Silicium déposé directement polycristallin

Le transistor à couches minces utilisé ici, a sa couche active et sa grille à base de silicium déposé directement polycristallin par la technique LPCVD. L'épaisseur du film polycristallin et de la grille sont égales à 0.2 µm. Le dispositif est ensuite exposé pendant 30 minutes à un plasma d'hydrogène, le rendant partiellement hydrogéné. Le banc de mesure expérimental utilisé pour le relevé des caractéristiques de transfert sous illumination est présenté à la Figure (IV.1). Ce dernier contient une lampe Schott KL 1500 comme source de lumière. Cette lampe, alimentée en tension est équipée d'un filtre infrarouge utilisé pour l'élimination des harmoniques aux longueurs d'onde supérieures à 750 nm. La lumière est ensuite collimatée par des lentilles et transmise à travers la face avant du dispositif via une fibre optique. La valeur du courant après amplification est affichée à l'aide d'un ampèremètre.

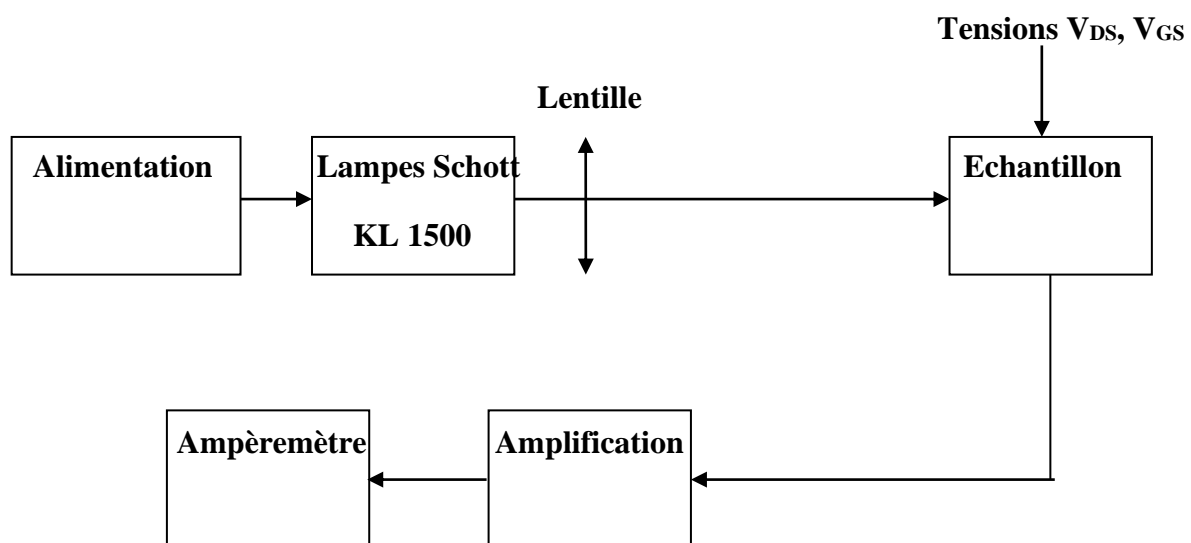


Figure IV.1: Schéma du dispositif expérimental pour la mesure du courant sous éclairage

La Figure (IV.2a) illustre les caractéristiques de transfert des TFTs partiellement hydrogénés (temps d'hydrogénation de 30mn), à l'obscurité et sous illumination. Le flux d'éclairement étant égal à 10^4 Lux.

L'influence la plus marquante sur la caractéristique de transfert se retrouve au niveau du courant à l'état bloquant. Dans cette région, le courant de drain est plus élevé que celui obtenu à l'obscurité. L'augmentation significative du courant de drain en mode bloquant sous illumination peut être attribuée à la contribution des porteurs créés par phénomène de photo-génération.

Aussi, nous pouvons noter l'effet négligeable de l'illumination sur le courant de drain en régime de forte accumulation.

Dans la région sous le seuil, la caractéristique de transfert sous illumination se décale faiblement vers la gauche qui s'explique par un effet négligeable de l'illumination. Ceci peut être dû à une forte recombinaison des photoporteurs, en raison du caractère amphotère des liaisons pendantes non passivées. La recombinaison des porteurs diminue donc la photosensibilité des TFTs.

La Figure (IV. 2b) illustre les caractéristiques de sortie $I_{DS}=f(V_{DS})$ en mode bloquant ($V_{GS}= -7$ V) à l'obscurité et sous illumination. Dans les deux cas, celles-ci sont d'abord linéaires, le courant dans le canal est donc ohmique pour des tensions de drain faible. En augmentant V_{DS} , la courbe change de pente. En effet, en augmentant V_{DS} , le temps de transit des porteurs minoritaires entre la source et le drain diminue et devient plus faible que le temps de génération. Le courant, aussi bien à l'obscurité que sous illumination est par conséquent un courant de génération. Aux valeurs V_{DS} les plus élevées, une augmentation de la pente est observée à l'obscurité, et qui correspond au début de la génération assistée par champ. Nos résultats expérimentaux sont en bon accord avec ceux obtenus dans d'autres travaux publiés [98] [99].

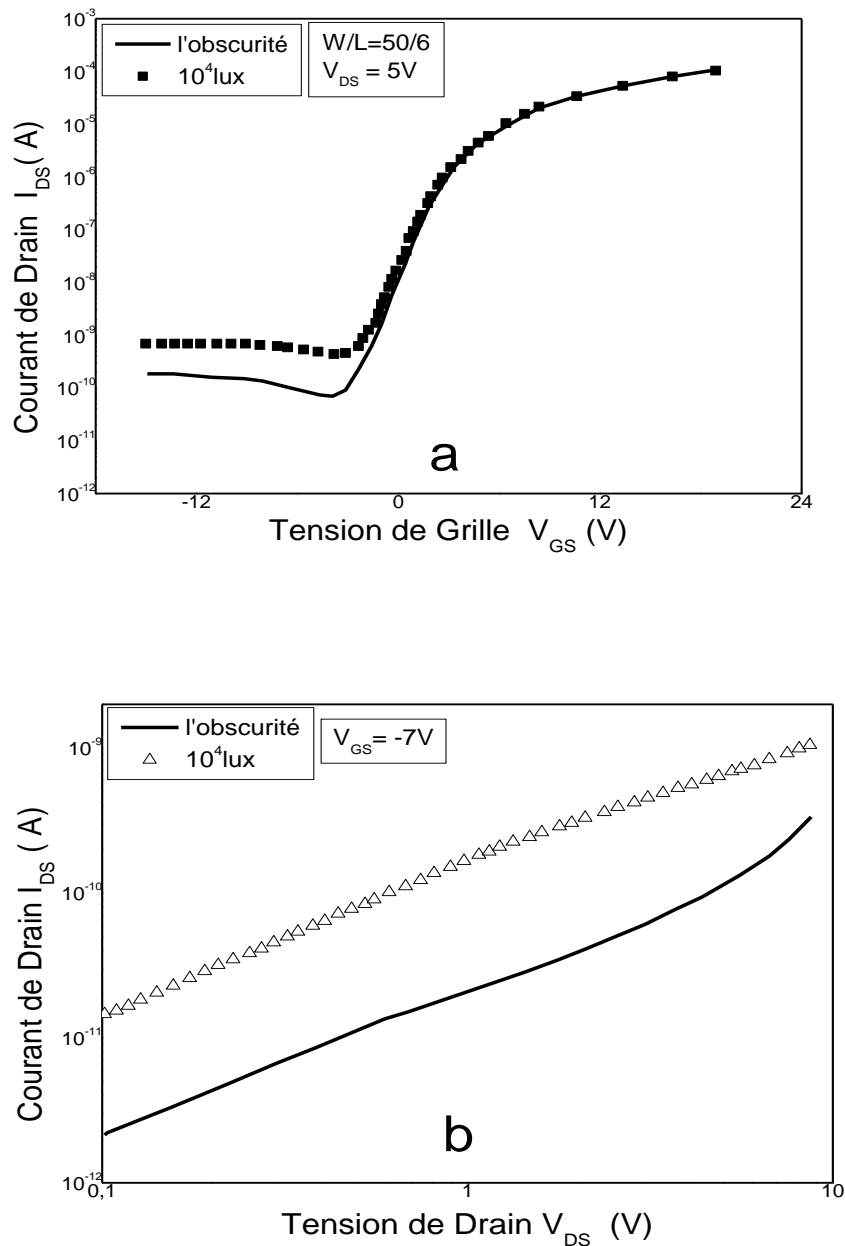


Figure IV. 2:Caractéristiques électriques mesurées à l'obscurité et sous illumination.

a: $I_{DS}=f(V_{GS})$

b: $I_{DS}=f(V_{DS})$

IV.3.2 Polysilicium déposé amorphe puis cristallisé

La Figure (IV.3) illustre les caractéristiques de transfert mesurées avec une tension drain-source V_{DS} de 5 V à l'obscurité et sous éclairage. Le TFT est à base de silicium déposé amorphe par la technique LPCVD, cristallisé à 625°C et complètement hydrogéné. L'illumination se fait à travers la face avant.

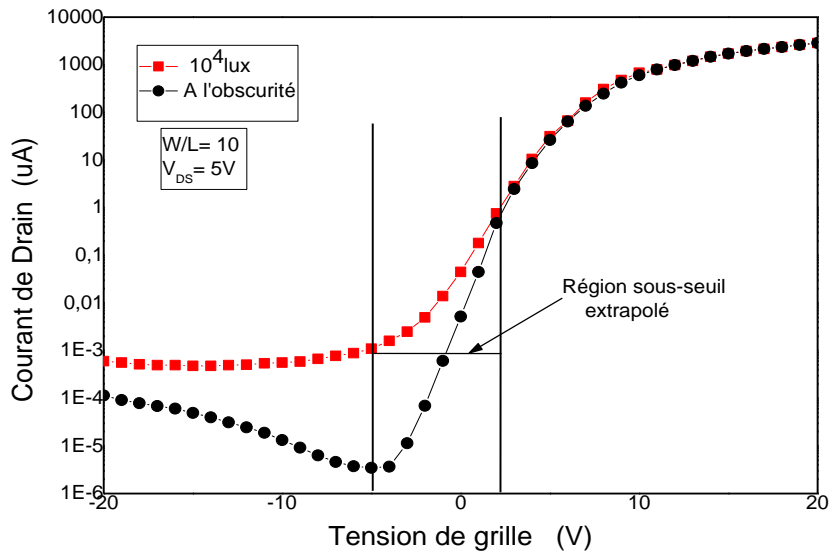


Figure IV.3: Caractéristiques de transfert mesurées à l'obscurité et sous éclairage du TFT entièrement hydrogéné à base de Silicium amorphe cristallisé.

A l'obscurité, un courant considérable à l'état bloqué est observé. Il consiste en un courant ohmique [100], traversant la couche de polysilicium et apparaissant pour une faible polarisation négative de grille V_{GS} , et un courant de fuite pour un V_{GS} (négatif) plus élevé. Ce dernier a tendance à augmenter avec V_{GS} [101].

En effet, les états pièges se comporteront à l'état bloquant comme des centres de génération de porteurs. En outre, une forte polarisation négative de la grille va générer de forts champs électriques dans la zone de canal qui vont assister cette génération, augmentant ainsi de façon significative le courant du transistor. Le mécanisme de génération assisté par champ domine donc clairement à l'obscurité.

Plusieurs modèles sont introduits pour justifier ce phénomène (Tunnel bande à bande BBT, Tunnel assisté par états pièges TAT, Poole-Frenkel PF, Fowler-Nordheim).

La forte augmentation du courant de fuite observée sous illumination, dans ce cas aussi, est liée au photocourant supplémentaire généré, qui s'ajoute au courant d'obscurité pour lequel les porteurs sont activés thermiquement à partir des pièges.

En conséquence, on peut considérer que le courant de fuite total contient deux composantes : le premier est le courant de fuite obtenu dans des conditions d'obscurité, tandis que le second est fourni par illumination.

La même figure indique que le courant observé à l'état off sous illumination est presque indépendant de la tension de grille. En d'autres termes, le champ électrique dû à la polarisation de la grille, n'a aucun effet sur le taux de génération des porteurs, et donc sur le courant de drain du TFT.

On notera ici, que la différence entre le comportement des courants de fuite mesurés à l'obscurité, des transistors partiellement et entièrement hydrogénés, peut être attribuée à l'existence de deux types de centre de génération dans ces échantillons : un centre conventionnel voisin du milieu du gap, dont la concentration est déterminée par l'exposition à un plasma d'hydrogène et pour lequel le courant de fuite dépend faiblement de V_{GS} (cas des TFTs partiellement hydrogénés). La concentration du deuxième type de centre de génération par contre, ne semble être que faiblement affectée par l'exposition à l'hydrogène, et dans ce cas, le courant dépend fortement de la tension de grille.

Dans la région sous le seuil, la caractéristique de transfert sous illumination présente un effet de translation ou bien un shift vers la gauche (tensions de grille négatives), ce qui suggère que, d'une part, le courant est dépendant des photoporteurs générés, d'autre part, on assiste à un phénomène de dé-piégeage.

Dans le cas des TFTs entièrement hydrogénés, la recombinaison des photoporteurs est très faible puisque les liaisons pendantes responsables de ce phénomène sont toutes passivées. Par conséquent, pour un même V_{GS} , le courant de drain est nettement augmenté. Cependant, cette augmentation a tendance à diminuer lorsque V_{GS} augmente. L'effet de l'illumination diminue donc par augmentation de la tension de grille.

Dans cette région, les résultats de la littérature montrent qu'à l'obscurité, les barrières de potentiel induites par l'effet de piégeage des porteurs sont élevées, de sorte que le transport des porteurs à travers celles-ci doit être assisté par un processus multiphonon [102]. En d'autres termes, pour contribuer au courant, les électrons, piégés dans les états localisés ont besoin d'une énergie d'activation E_A , définie comme la hauteur moyenne de la barrière qu'ils doivent franchir pour passer dans la bande de conduction.

A l'état On, l'effet de l'illumination disparaît, de sorte qu'aucune différence de courant n'est observée entre les environnements sombre et éclairé. Ce résultat est également mentionné dans [103]. Ceci peut être expliqué par un apport important d'électrons par la tension V_{GS} qui masque la contribution des photoporteurs au courant de drain.

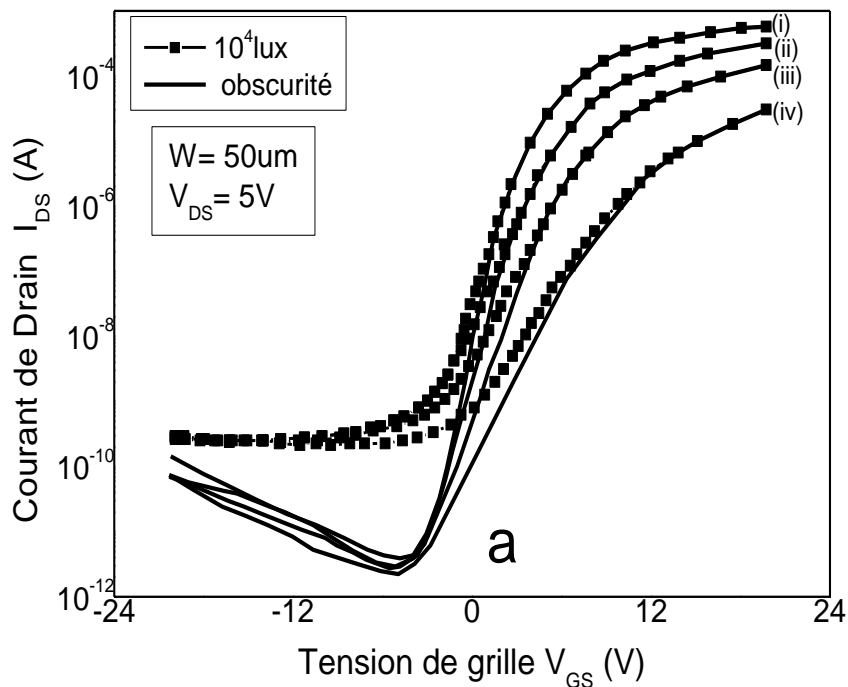
Les résultats obtenus montrent, contrairement à la littérature, que l'illumination affecte le fonctionnement des dispositifs. Pour les transistors en couches minces à base de silicium

déposé directement polycristallin et partiellement hydrogéné, l'effet est plus marqué à l'état bloqué. Cependant pour celui entièrement hydrogéné, à base de silicium déposé amorphe puis cristallisé, l'influence de l'illumination est observé dans les régions, située en dessous du seuil et à l'état off.

Dans la suite du travail, on s'intéressera particulièrement à ce dernier type de TFTs, pour étudier d'abord l'effet d'une variation de la longueur du canal, puis de l'épaisseur de la couche active sur le courant de fuite observé à l'état off sous illumination. En régime sous le seuil, le transport des porteurs étant dominé par le courant de dérive comme mentionné dans le chapitre 3. Une étude du comportement de la mobilité d'effet de champ en découle.

IV.3.2.1 Effet de la longueur du canal

Une caractérisation en fonction de la longueur du canal et de la tension de grille révèle qu'à l'état off, les courants dans ces dispositifs sous éclairage, ne dépendent pas de la longueur du canal et montrent une faible variation en fonction de la tension de grille appliquée, comme illustré par la figure (IV.4a). Par contre, les courants à l'obscurité varient exponentiellement avec V_{GS} . Le courant d'obscurité est un courant de génération assisté par champ.



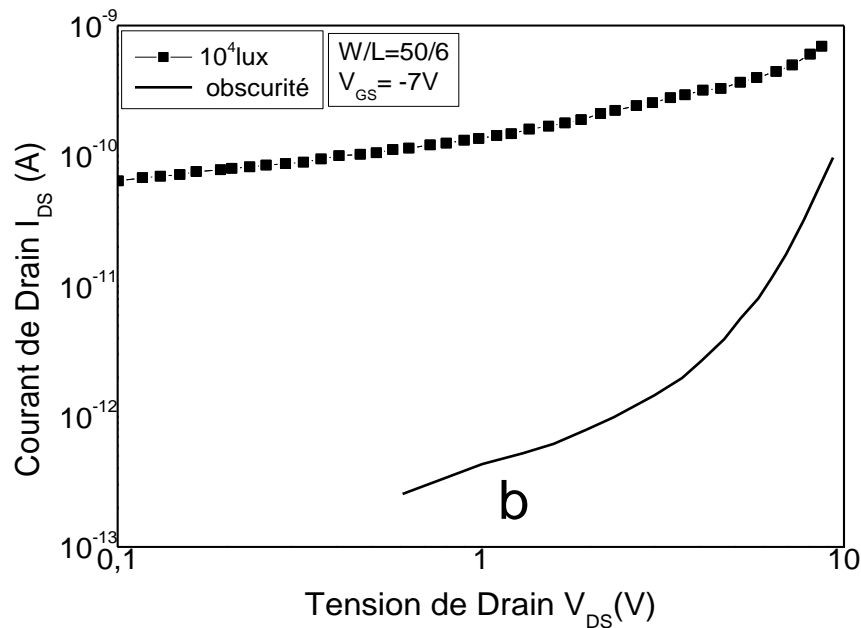


Figure. IV.4 : Caractéristiques électriques des TFTs à base de silicium amorphe, cristallisé et entièrement hydrogénés mesurées à l'obscurité et sous illumination

a- $I_{DS}=f(V_{GS})$ pour différentes longueurs de canal

(i) $L = 4\mu m$, (ii) $L = 6\mu m$, (iii) $L = 10\mu m$, (iv) $L = 20\mu m$

b- $I_{DS}=f(V_{DS})$ à l'état bloqué avec une longueur de canal $L = 6\mu m$

Ce comportement est confirmé par les caractéristiques de sortie, à l'obscurité et sous illumination (figure (IV.4b)). Comme on peut le constater, le courant sous éclairnement dépend faiblement de la tension de drain, alors que le courant d'obscurité, montre une dépendance exponentielle en fonction de V_{DS} .

Dans les TFTs sous illumination, la faible variation des courants en fonction de la longueur de canal pour de fortes tensions négatives de grille indiquent que ceux-ci sont déterminés par la résistance de jonction canal-drain plutôt que par la résistance du canal. Aussi, nous pouvons conclure que dans ce cas, la composante du photocourant domine le courant de fuite.

Ce courant est bien évidemment, la somme de deux courants : un courant de génération optique dans la région de charge d'espace et un courant de diffusion dans les zones neutres.

La densité de courant de génération J_g dans la région de charge d'espace W_G près du drain est donnée par :

$$J_g = qGW_G \quad (IV.1)$$

La densité du courant de diffusion J_d est:

$$J_d = q\Delta n \sqrt{\left(\frac{D}{\tau}\right)} \quad (IV.2)$$

Où G est le taux de génération des porteurs, D la constante de diffusion, Δn la densité des porteurs générés par illumination et τ leur durée de vie.

Sachant que :

$$\Delta n = G\tau \quad (IV.3)$$

On obtient :

$$J_d = qGL_D \quad (IV.4)$$

Par conséquent, l'importance relative de la longueur de diffusion L_D , et de la largeur de charge de l'espace W_G , déterminera la prépondérance d'un courant par rapport à l'autre.

IV.3.2.2 Effet de l'épaisseur de la couche active

La variation des courants mesurés à 10^4 lux, en fonction de l'épaisseur de la couche active polycristalline est illustrée par la figure (IV.5). Sur cette figure, sont reportés aussi les résultats obtenus sur des TFTs à base de silicium déposé directement polycristallin. Nous remarquons qu'avec des films plus épais, les photocourants augmentent.

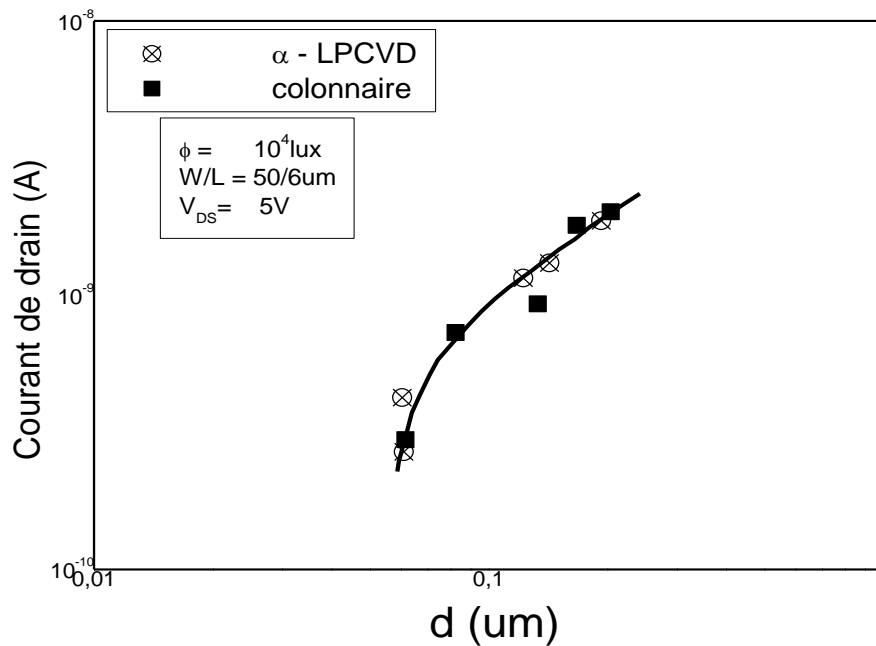


Figure IV.5: Courants mesurés sous illumination en fonction de l'épaisseur de la couche active

Une comparaison des résultats obtenus, montre dans le cas du silicium déposé amorphe et cristallisé, que la variation du photocourant est linéaire en fonction de l'épaisseur du film lorsque celle-ci est supérieure à $\sim 0.1\mu m$.

Ceci veut dire que le nombre de photons absorbés augmente approximativement linéairement avec l'épaisseur donnant une augmentation linéaire correspondante du photocourant. Une baisse brusque du photocourant est obtenue pour des épaisseurs de film inférieures à $\sim 0.1\mu m$, et qui peut être expliquée par une réduction de la durée de vie lorsque l'épaisseur diminue, due aux défauts cristallographiques dans les films, ou à une plus grande influence des états d'interface sur le phénomène de recombinaison.

La diminution forte du photocourant avec la réduction de l'épaisseur du film polycristallin pourrait expliquer l'observation d'un photocourant négligeable par d'autres auteurs [96] lorsque l'épaisseur du film est inférieure à 250Å .

Les résultats sont plus dispersés pour les dispositifs à structure colonnaire. La figure (IV.5) montre également un photocourant qui diminue quand l'épaisseur du film diminue, alors que d'autres valeurs de celui-ci montrent une faible dépendance de l'épaisseur du film. Néanmoins, les valeurs absolues du photocourant de tous les dispositifs sont comparables.

Au terme de cette étude, nous notons que les valeurs du photocourant rapportées ici semblent être incompatibles avec d'autres rapports indiquant une photoconductivité négligeable [104], [105]. Les photocourants observés dans les dispositifs étudiés sont de deux à trois ordres de grandeur supérieurs au courant d'obscurité minimal.

La forte diminution de la densité de photocourant avec une épaisseur de film décroissante pourrait expliquer l'insensibilité optique des TFTs observée par d'autres auteurs. Nous présenterons puis discuterons maintenant, les résultats de la modélisation, concernant la mobilité des porteurs en régime sous le seuil.

IV.4 Résultats de la modélisation et discussion

Avant de présenter les résultats obtenus, il devient nécessaire de définir la région sous le seuil dans les transistors à couches minces en polysilicium. Pour cela, il est important donc de définir d'abord la tension de seuil V_{TH} . Dans les TFTs au polysilicium, V_{TH} est définie comme la polarisation de grille nécessaire pour remplir la densité d'état d'interface N_{IT} . Cette densité englobe aussi bien les états d'interface au niveau des joints de grains que ceux à l'interface Si/SiO₂. Ainsi, dans les transistors en couches minces au silicium polycristallin, l'existence d'une densité élevée d'états est responsable de la valeur élevée de V_{TH} . Manuellement, et dans notre cas, V_{TH} peut être obtenue en traçant la racine carrée du courant de drain en fonction de la tension de grille. Sa valeur est extraite de l'intersection de la partie linéaire de la courbe avec l'axe V_{GS} [106].

La région sous le seuil est par conséquent la région comprise entre la tension de bande plate définie comme la tension grille V_{GS} pour laquelle le courant de drain est minimal, et la tension de seuil V_{TH} .

Sous éclairage, la valeur de la tension de seuil V_{TH} obtenue est d'environ 2V et ne présente aucune différence avec celle obtenue à l'obscurité. Ce résultat implique que N_{IT} n'est pas sensible à la densité supplémentaire des photoporteurs. Un tel résultat pourrait s'expliquer par une compensation entre l'effet de piégeage induit par la tension de grille et l'effet de dépiégeage sous illumination, supprimant ainsi le décalage de la tension de seuil V_{TH} .

Nous présentons maintenant, les valeurs des différents paramètres utilisés dans la modélisation que nous résumons dans le tableau suivant :

Tableau IV. 1 : Paramètres technologiques et physiques utilisés dans la modélisation		
Paramètres	Symboles	Valeurs
Taille du grain	L_G	200nm
Largeur du canal	W	50 μm
Longueur du canal	L	6 μm
densité d'état des queues de bandes	N_T	$2.10^{20} \text{ cm}^{-3} \text{ eV}^{-1}$
Concentration intrinsèque	n_i	10^{10} cm^{-3}
Energie caractéristique des queues de bandes	kT_t	0.059eV
Dopage	N_D	$5.10^{15} \text{ cm}^{-3}$
Epaisseur du film d'oxyde	t_{ox}	100nm
Densité du flux de photons incidents	ϕ_0	$1.1*10^{15} \text{ ph/cm}^2/\text{s}$
Durée de vie des porteurs	τ	2.10^{-8} s [15]
Tension de bande plate	V_{FB}	-5V
Niveau de Fermi dans la région neutre	E_{F0}	0.54eV
Photovoltage	V_{OP}	0.6V
Densité effective d'états dans la BC	N_c	$2.81*10^{19} \text{ cm}^{-3}$
Permittivité de l'oxyde du silicium	ϵ_{ox}	$3.51*10^{-14} \text{ F/cm}$
Permittivité du silicium	ϵ_{si}	$1.03*10^{-12} \text{ F/cm}$
Mobilité de Bande	μ_{band}	27 $\text{ cm}^2/\text{V.s}$

Les valeurs la taille de grain L_G sont déduites à partir des résultats expérimentaux, tandis que l'ajustement des courbes expérimentales et calculées du courant de drain en fonction de V_{GS} permet d'obtenir la valeur de η . Cette même procédure (fitting) est utilisée pour la détermination des paramètres N_T , kT_t en utilisant cette fois-ci la pente des caractéristiques de transfert expérimentale et calculée en fonction de V_{GS} . Les autres paramètres sont tirés de la littérature. Dans notre cas, la valeur élevée de kT_t obtenue peut être liée à des imperfections générées par une hydrogénation excessive résultant de la collision d'atomes d'hydrogène avec des atomes de silicium [107].

IV.4.1 Effet de la tension de grille et du drain

La Figure (IV.6a) montre les variations de la mobilité d'effet de champ calculée avec V_{GS} , dans des conditions d'obscurité et d'illumination. Comme on le voit clairement, la mobilité des porteurs à l'obscurité augmente de manière monotone avec la polarisation de la grille. Sous illumination, ce paramètre suit la même tendance qu'à l'obscurité, il augmente avec l'augmentation de la tension de grille et montre une dépendance relativement faible à l'illumination à faible V_{GS} . Cependant, cette dépendance augmente à mesure que la tension de grille augmente.

Ce même paramètre diminue avec l'augmentation de la tension de drain et dépend faiblement de l'illumination à V_{DS} élevé (figure (IV.6b)). Ce résultat peut être attribué à une saturation de la vitesse des porteurs en présence d'un champ électrique latéral élevé. Cette réduction de la mobilité des porteurs lorsque V_{DS} augmente entraîne également une dégradation du courant.

En outre, la faible valeur de la mobilité des porteurs dans la région sous le seuil à l'obscurité peut être liée à la réduction de la densité des porteurs libres, car la majorité des électrons se trouvent piégés et seule une petite partie est thermiquement activée et rejoint le bord de la bande de conduction. La dispersion élevée aux joints de grains affecte aussi ce paramètre. En effet, la mobilité des porteurs dans les transistors à couches minces en silicium polycristallin dépend fortement des propriétés morphologiques des couches, auxquelles s'ajoutent les conditions de préparation des films minces, la qualité de l'interface canal isolant et également celle des contacts source et drain [108]. Aussi, une hydrogénation excessive réduit la valeur de μ_{eff} par augmentation de la densité de défauts comme mentionné précédemment.

Dans notre cas, l'examen des couches par microscopie électronique a montré une taille de grain petite d'environ 200nm, ceci indique que l'influence de la densité des défauts inter-grains (joints de grains) sur la mobilité est prédominante. Cependant, dans le silicium polycristallin à gros grains, les défauts intra-grains sont la principale source de dispersion, comme rapporté dans [109].

Sous illumination, la mobilité des porteurs dans le canal, est relativement plus élevée, et peut être expliquée par une augmentation de la densité des porteurs libres aussi bien que par un taux de dispersion réduit aux joints de grains.

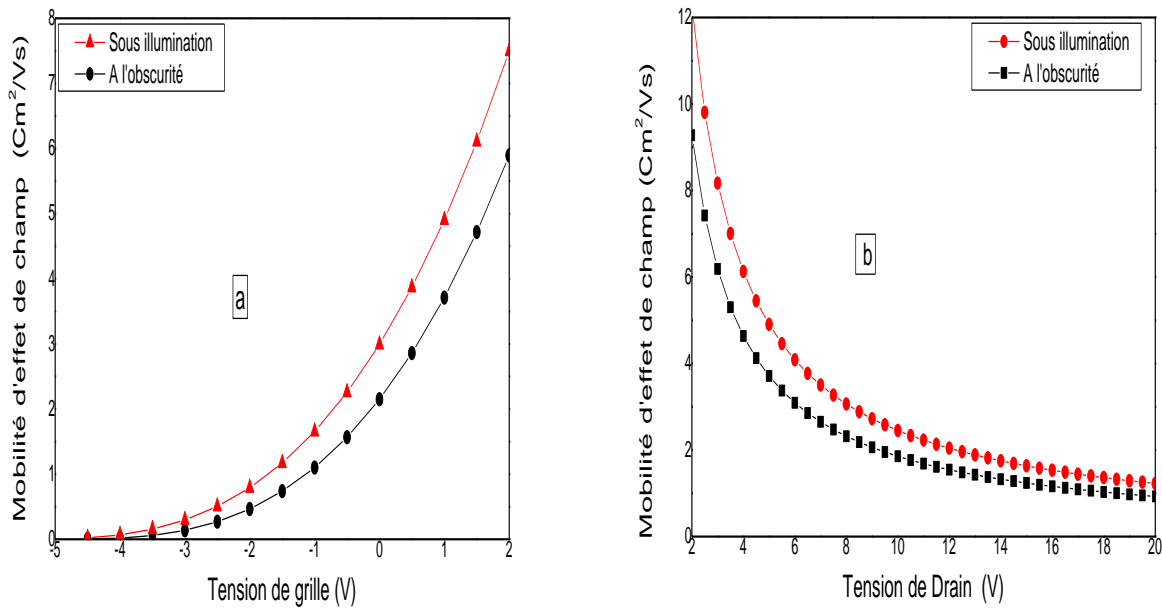


Figure IV.6 : Mobilité d'effet de champ calculée à l'obscurité et sous éclairement en fonction de la tension de grille (a), tension de drain (b)

IV.4.2 Observation de l'Effet Meyer-Neldel dans les TFTs au polysilicium

D'une manière générale, la conductivité électrique dans les semi-conducteurs est activée thermiquement. La variation de la conductivité avec la température suit la loi d'Arrhenius décrite par la relation ci-dessous :

$$\sigma = \sigma_0 \exp\left(-\frac{E_A}{kT}\right) \quad (IV. 5)$$

Où σ_0 est le pré-facteur ; E_A est l'énergie d'activation.

L'énergie d'activation dépend du niveau de dopage dans le semi-conducteur et de la composition du matériau. Malgré qu'à première vue le pré-facteur σ_0 et l'énergie d'activation E_A semblent indépendants, ils sont au fait reliés par une relation, souvent dans les matériaux semi-conducteurs, connu sous le nom « la loi exponentielle Meyer-Neldel (MNR) » [110] définie par :

$$\sigma_0 = \sigma_{00} \exp\left(\frac{E_A}{kT_{MN}}\right) \quad (IV. 6)$$

Où kT_{MN} est l'énergie de Meyer-Neldel.

Un fait attrayant de cette loi connu aussi sous le nom de l'effet de compensation a été observé dans un bon nombre de matériaux cristallins, polycristallins, amorphes, semi-conducteurs liquides, solides organiques. Il a été observé dans plusieurs propriétés telles que la conductivité électrique, la diffusion, la recristallisation, le phénomène d'adsorption en surface, la cinétique d'absorption, etc [111-112]. C'est pourquoi cette loi a attiré une grande attention et plusieurs modèles ont été présentés pour expliquer son origine qui reste un sujet très controversé [113-114]. Certains chercheurs associent la loi MNR à la présence du désordre dans les matériaux, cependant d'autres auteurs l'associent au mécanisme de transport dans le matériau. La majorité des travaux sur cette loi ont été focalisées sur son apparition dans les verres à base de chalcogénures [115-116]. Cependant, peu d'études ont porté sur la présence de cette loi dans les semi-conducteurs. Les seules études notables sont celles dans le silicium amorphe [117-118] et récemment dans les films ZnO dopés Al [111].

Plusieurs mécanismes ont été avancés pour expliquer l'origine de la loi MNR dans les semiconducteurs. Jakson [113] a stipulé que le mécanisme de transport par multi-piégeage est accompagné par l'apparition de la loi MNR. Par ailleurs, Sagar et al [111] dans une étude de la loi MNR dans les films ZnO, ont expliqué l'apparition du MNR, qui est dû à la présence d'une distribution exponentielle des états localisés dans la bande interdite du semi-conducteur. Dans un récent travail, une étude comparative du MNR dans le silicium monocristallin et le silicium amorphe, Abteu et al. [119] ont montré que le MNR n'apparaît que dans le silicium amorphe seulement à cause de la large densité de défaut de structure présent dans ce dernier. Par conséquent la loi MNR est étroitement liée à la présence des états localisés dans les queues des bandes qui sont associés aux défauts de structure dans le film.

De plus, il est bien connu que, dans la région située sous le seuil des TFT poly-Si, chaque grain dans le canal du transistor est complètement appauvri, de sorte que la génération de porteurs libres contribuant au courant de drain soit contrôlée par un processus d'activation thermique. Dans cette optique, la représentation de la mobilité des porteurs sous illumination dans un diagramme d'Arrhenius est réalisée à différentes tensions de grille. La figure (IV.7) montre clairement que la mobilité des porteurs est activée thermiquement sur une large plage de températures et qu'elle augmente avec l'augmentation de V_{GS} . De plus, chaque tracé est bien approximé par une dépendance linéaire avec un point de croisement commun pour les différentes tensions V_{GS} . Ce point de convergence commun correspond à la température dite iso-cinétique, et implique que le transistor en couches minces suit la règle de Meyer Neldel. Dans notre cas, cette température est égale à 696K, correspondant à une énergie kT_{MN} de 59.9

meV. Cette valeur se situe dans la gamme 25-100 meV, généralement rapportée dans les semi-conducteurs [120], [121].

La même figure (IV.7), montre clairement que la pente des droites obtenues, correspondant à l'énergie d'activation sous illumination, diminue avec l'augmentation de V_{GS} . En effet, en augmentant la polarisation de grille, on remplit plus de pièges dans la couche active de silicium polycristallin et au niveau de l'interface isolant /couche active. Par conséquent, le niveau de Fermi se déplace vers la bande de conduction, réduisant de ce fait la valeur de l'énergie d'activation E_A^* , tout en augmentant la mobilité des porteurs et le courant de drain, comme illustré sur la figure (IV.3).

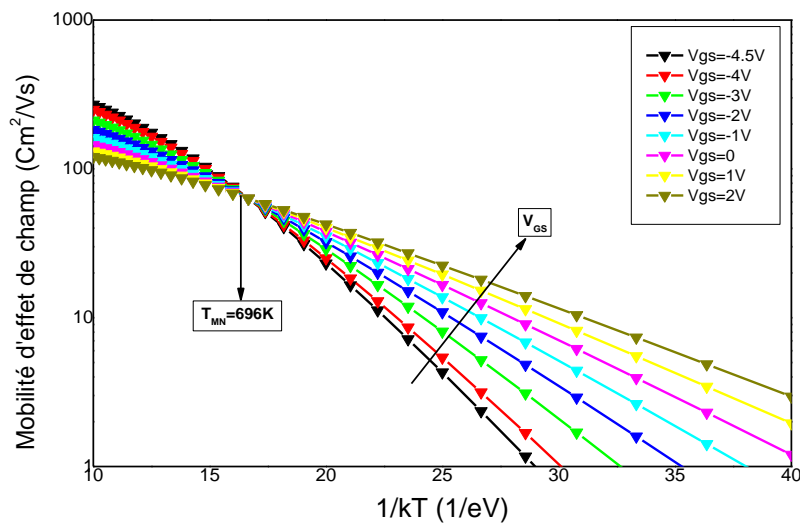


Figure IV.7: Représentation d'Arrhenius de la mobilité des porteurs sous illumination. Chaque courbe est tracée à une tension de grille appartenant à la région sous le seuil. La température T_{MN} de Meyer Neldel est également indiquée.

La représentation d'Arrhenius de la mobilité d'effet de champ sur la figure (IV.7), nous permet de déterminer de manière fiable, l'énergie d'activation sous illumination E_A^* et le facteur pré-exponentiel, puis de tracer la courbe reliant le facteur pré-exponentiel à l'énergie d'activation (Figure (IV.8)). La bonne linéarité observée dans la région sous le seuil suggère clairement que la mobilité et le transport des porteurs sous illumination sont régis par la loi de Meyer Neldel.

Cette même figure montre que l'énergie d'activation est d'environ 0,37 eV dans la région de faible V_{GS} , où le poly-Si TFT présente un mouvement rapide du niveau de Fermi E_F vers le bord de la bande de conduction. Ce résultat est probablement dû au mécanisme de dé-

piégeage induit par la lumière. Cependant, lorsque V_{GS} augmente, le niveau de Fermi se déplace profondément dans les états de queue de bande. Par conséquent, le mouvement de E_F devient plus lent en raison d'une part, d'une augmentation exponentielle de la densité des queues de bande, d'autre part, à un effet de piégeage induit par la tension de grille qui se traduit par une faible densité de porteurs dans la bande de conduction. Cette réponse de E_F à V_{GS} peut être expliquée par une compétition entre l'effet de dépiégeage des porteurs induit par les photons, dominant dans le domaine des tensions de grille faibles, et le piégeage des porteurs induit par la polarisation de la grille pour des V_{GS} plus élevés.

Pour conclure, les résultats obtenus sous illumination révèlent que la mobilité des porteurs est activée thermiquement, et que la relation entre le terme pré-facteur de la mobilité et l'énergie d'activation suit la règle de Meyer-Neldel. Cependant, nous n'avons pas identifié exactement l'origine de l'effet Meyer Neldel(MN) observé dans les TFTs au polysilicium sous illumination, mais nous avons montré que la règle MN est vérifiée et maintenue dans la région sous-seuil de ces dispositifs soumis à un éclairage.

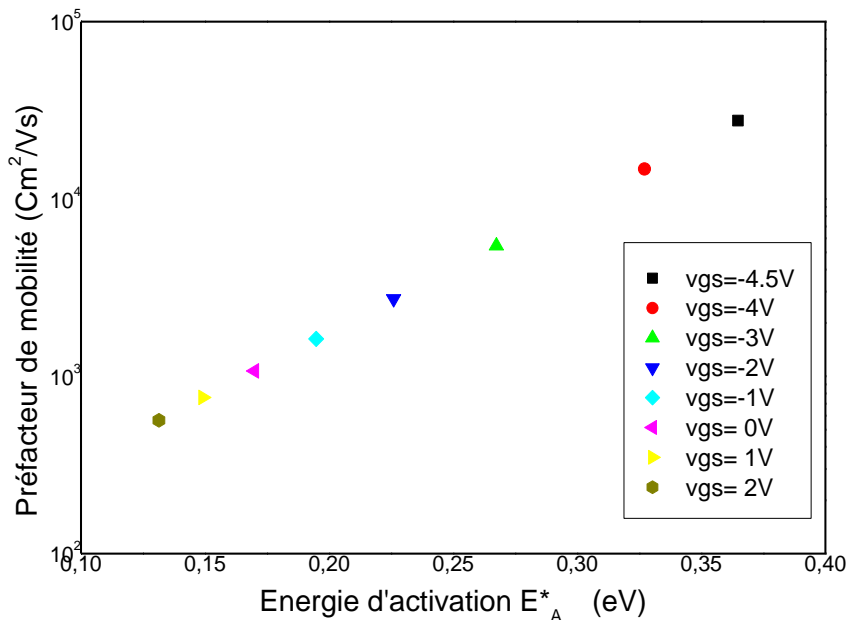


Figure IV.8: Facteur pré-exponentiel en fonction de l'énergie d'activation E_A^*

IV.4.3 Effet des paramètres N_T et kT_t

La figure (IV.9) représente la variation de la mobilité d'effet de champ en fonction de la densité d'état des queues de bandes (a), et de leur énergie caractéristique (b). Nous remarquons qu'une augmentation de N_T , ou de kT_t provoque une diminution de la mobilité des porteurs.

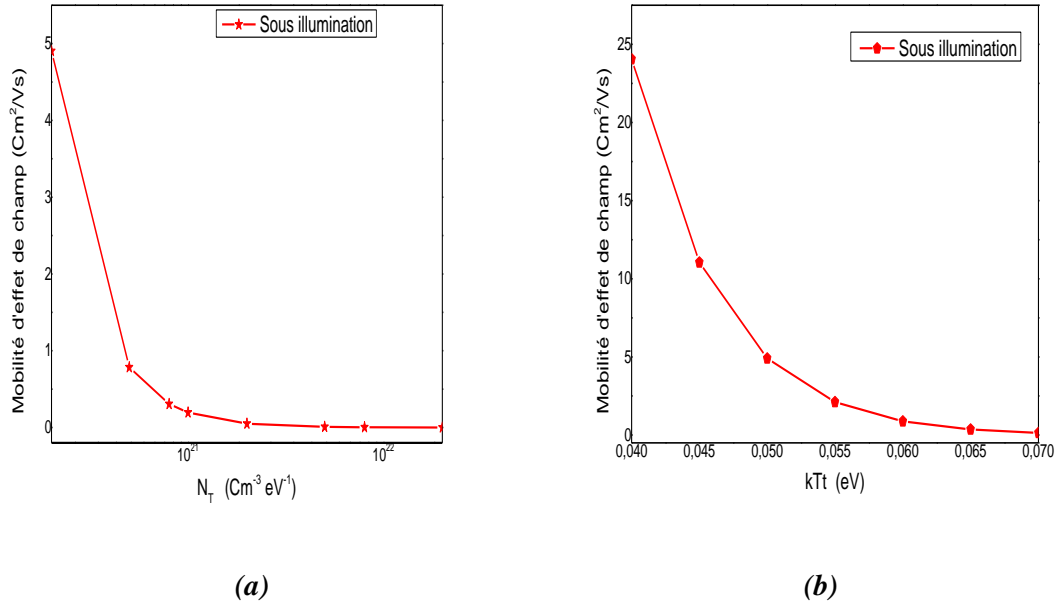


Figure IV.9 : Variation de la mobilité d'effet de champ sous illumination à $V_{GS} = 1V$ en fonction de:

- a- la densité d'état des queues de bandes pour $kT_t = 0.05 \text{eV}$
- b- l'énergie caractéristique kT_t pour $N_T = 10^{20} \text{cm}^{-3} \text{eV}^{-1}$

Cette dégradation de la mobilité peut être attribuée donc au phénomène de piégeage d'une part, où une densité élevée des queues de bandes renforce ce phénomène et diminue par conséquent la mobilité des porteurs dans le canal. D'une autre part, une diminution de ce paramètre est due également à une augmentation du désordre qui caractérise le matériau polycristallin. En effet, Les électrons subissent plus de collisions et sont de ce fait moins énergétiques. Leur contribution au courant se trouve diminuée.

IV.4.4 Validation du modèle proposé

Afin de valider le modèle, les mobilités d'effet de champ expérimentales pour chaque V_{GS} , sont d'abord extraites en utilisant l'expression (III.31) du chapitre précédent, puis comparées à celles calculées (expression (III.27)). Comme illustré sur la figure (IV.10), le modèle établi

concorde parfaitement avec les résultats expérimentaux, prouvant l'exactitude de l'expression analytique proposée.

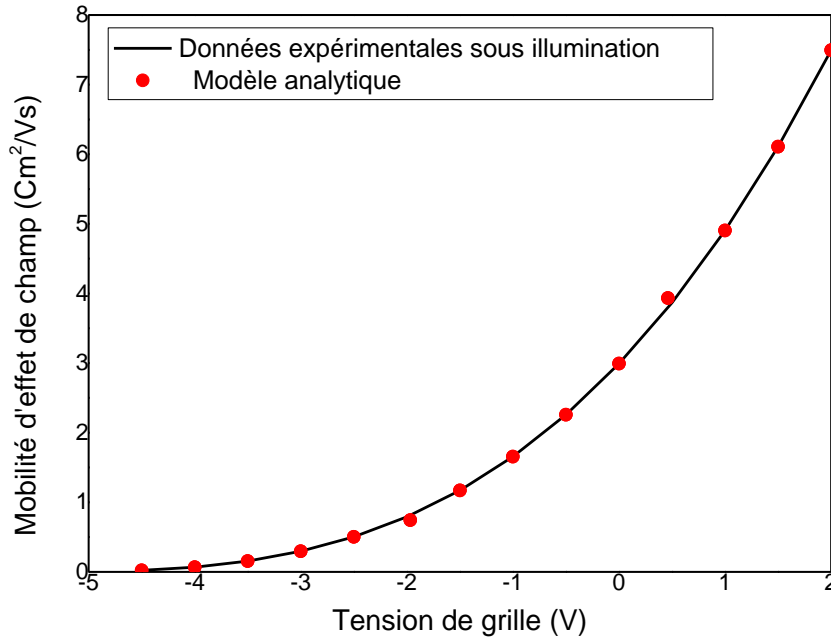


Figure IV.10: Comparaison des résultats expérimentaux et calculés de la mobilité d'effet de champ

IV.5 CONCLUSION

Dans ce chapitre, une étude de la photosensibilité des TFTs en silicium polycristallin est présentée. Une caractérisation électrique des dispositifs à l'obscurité et sous illumination a été réalisée, révélant que la lumière visible affecte le fonctionnement du dispositif principalement dans les régions off pour les deux types de transistors. Dans la région sous le seuil, cet effet est plus prononcé dans les dispositifs entièrement hydrogénés à base de silicium amorphe cristallisé.

Sur la base de ces résultats, et en considérant la théorie du piégeage dépiégeage multiple, un modèle de mobilité d'effet de champ dans la région située sous le seuil et sous illumination est mis en place pour les TFTs entièrement hydrogénés.

Les résultats montrent, que la mobilité d'effet de champ des transistors en couches minces sous éclairage, est activée thermiquement et suit la règle de Meyer–Neldel.

En outre, nous n'avons pas identifié l'origine exacte du comportement MNR, mais nous avons montré que la règle MN est maintenue sous illumination.

Enfin, les résultats calculés sont en accord avec les données expérimentales, prouvant la validité du modèle élaboré.

Conclusion Générale

Dans un écran à matrice active, le TFT (Thin Film Transistor) est un dispositif de commutation de première importance, lorsqu'il s'agit d'adressage et maintien de ce type d'écran. Seulement, l'étude de son fonctionnement dans un environnement éclairé a fait l'objet de peu de travaux jusqu'à présent. En d'autres termes, bien que le poly-Si soit généralement reconnu comme étant moins photosensible que le silicium amorphe hydrogéné, il n'existe pas, jusqu'à l'heure actuelle de consensus sur la photosensibilité des TFTs en poly-Si.

Dans le cadre de cette étude, il s'est avéré donc intéressant d'étudier la réponse de ces dispositifs à une illumination, en exploitant les caractéristiques de transfert et de sortie en mode bloquant. Dans un deuxième temps, notre travail a consisté à mettre au point un modèle analytique de la mobilité d'effet de champ dans la région sous le seuil des TFTs entièrement hydrogénés.

Cette modélisation a constitué une étape primordiale dans notre travail. Le troisième chapitre a été consacré au calcul par la méthode de Lambert W, du potentiel de surface. La détermination de ce dernier paramètre nous a permis d'établir l'expression finale de la mobilité d'effet de champ.

Les principaux résultats ont été présentés dans le quatrième et dernier chapitre de ce mémoire, et ils peuvent être résumés dans les points suivants :

Tout d'abord, l'analyse des caractéristiques $I(V)$ a mis en évidence la photosensibilité des TFTs à la lumière visible, contrairement à la littérature. Cette sensibilité optique a conduit à des photocourants appréciables dans un environnement fortement éclairé (10^5 - 10^6 lux). Ces photocourants sont de deux à trois ordres de grandeur supérieurs aux courants d'obscurité, ils ne dépendent pas de la longueur du canal et montrent une faible variation en fonction de la tension de grille appliquée. Ce résultat indique que ces courants sont déterminés par la résistance de jonction canal-drain plutôt que par la résistance du canal.

Dans la région sous le seuil des TFTs entièrement hydrogénés, la caractéristique $I_{DS} = f(V_{GS})$ sous illumination présente un shift appréciable par rapport à celle mesurée à l'obscurité. Ce résultat peut être attribué au phénomène de dé-piégeage : Sous illumination, plus d'électrons

sont libérés donnant lieu à une augmentation de la mobilité d'effet de champ et du courant de drain.

Sur la base de ces résultats, un modèle analytique de la mobilité des porteurs sous illumination a été mis en place, en s'appuyant sur la théorie de piégeage dépiégeage multiple. Les résultats ont montré que la mobilité d'effet de champ dans les TFTs au polysilicium est activée thermiquement, et suit la loi d'Arrhenius.

En outre, la relation entre le terme pré-facteur de la mobilité et l'énergie d'activation vérifie une loi nommée, la loi exponentielle de Meyer-Neldel (MNR), que certains chercheurs associent à la présence du désordre dans les matériaux ou au mécanisme de transport. Dans notre cas, nous avons attribué ce comportement simplement au désordre existant dans le film du silicium polycristallin.

Le modèle élaboré de la mobilité d'effet de champ nous a permis de suivre par un ensemble de tracés, l'évolution de ce paramètre en fonction des tensions de grille et de drain, de la densité d'états et de l'énergie caractéristique des queues de bandes. Les résultats indiquent que la mobilité des porteurs augmente avec V_{GS} et diminue avec une augmentation de V_{DS} . Ce dernier résultat peut être attribué à une saturation de vitesse des porteurs en présence d'un champ électrique latéral élevé. Aussi, une augmentation de N_T ou k_{Ti} entraîne une dégradation de ce paramètre, due respectivement au phénomène de piégeage des porteurs et au désordre dans les films polycristallins.

Dans l'ensemble, la validité du modèle élaboré a montré une bonne concordance, en confrontant le tracé théorique de la mobilité d'effet de champ en fonction de la tension de grille sous illumination et celui obtenu expérimentalement.

Au terme de cette étude, nous avons montré clairement que la mobilité et le transport des porteurs sous illumination, et dans la région de faible accumulation, sont régis par la loi de Meyer Neldel. Cette règle est donc maintenue aussi bien à l'obscurité que sous illumination. Cependant, nous n'avons pas identifié l'origine exacte d'un tel comportement. Une prochaine étude sera entamée dans ce sens.

Aussi, de nouvelles approches sont envisageables tels qu'une modélisation qui tient compte, d'une part, de l'effet Kink observé pour des tensions de drain élevées, d'une autre part, des flux d'éclairement plus grands, et qui serait donc capable de rendre compte des caractéristiques physiques et électriques réelles du TFT en poly-Si.

Références Bibliographiques

- [1] **M. Shur, M. Hack**, "Physics of amorphous silicon based alloy field effect transistors ", J. Appl. Phys., vol.55, p.3831, 1984.
- [2] **C. D. Dimitrakopoulos, R. L. Malenfant**, "organic thin film transistors for larg area electronics", advanced Materials., vol.14, p.99, 2002.
- [3] **C. Rechatin**, "Caractérisation, modélisation, conception pour des applications analogiques grande surface dans la technologie transistors en couches minces en silicium polycristallin (TFT Si-poly) ", Thèse de doctorat de l'institut national des sciences appliquées de Lyon, 2007.
- [4] **Z. Beddiaf**, "Etude de l'activité électronique des joints de grains dans le silicium polycristallin destiné à des applications photovoltaïques", Thèse de doctorat de université badji mokhtar Annaba, 2014.
- [5] **T-J. King**, "Poly-Si TFTs for plastic substrates", Information Display, p24. 2001.
- [6] **Z. Tiemin**, "Physics and technology of advanced polysilicon transistor and memory devices", Thèse PhD, Stanford University, 1994.
- [7] **P. C. Parekh**, "Arsenic doped polycrystalline silicon film for bipolar integrated circuits", Solid-State Electronics., vol.20, p.883, 1977.
- [8] **S. Horiuchi**, "electrical characteristics of boron diffused polycrystalline silicon layers",Solid-State Elecronics., vol.18, p.659, 1975.
- [9] **T. Tsuchumoto, I. Yudasaka, T. Shirasu**, "ion implantation of impurties into polycrystalline silicon ", PROC. of the IV int. Conf. on ion impl, osaka, p .605, 1974.
- [10] **B. Zebentout**, "Silicium Polycristallin : Conversion Photovoltaïque de l'Energie solaire et Dispositifs Electroniques", thèse de doctorat d'état de l'Université de Sidi Bel Abbès ,2007.
- [11] **M. M. Mandurah ,K.C. Saraswat, T.I. Kamins**, "phosphorus doping of low pressure chemically vapor-deposited silicon films", J. Electrochem., vol. 126, p.1019, 1979.
- [12] **M. E. Coher, T.O. Sedwick**, "chemical vapor deposited polycrystalline silicon", J. Electrochem., vol.119, p.1565, 1972.
- [13] **A. L .Fripp**, "Dependence of resistivity on the doping level of polycristalline silicon", J.Appl.Phys., vol.46, P.1240, 1975.
- [14] **A. L. Fripp, L. H. Slack**, "resistivity of doped polycrystalline silicon films", J. Electrochem ., vol.119, p.1565, 1972.

- [15] **T. I. Kamins, M. M. Mandurah, K. C. Saraswat**, "Structure and stability of low pressure chemically vapor-deposited silicon films", *J. Electrochem.*, vol.125, p.927, 1978.
- [16] **P. Ray-choudhury, P. I. Hower**, "Growth and characterization of polycrystalline silicon", *J. Electrochem.*, vol.120, p.1761. 1973
- [17] **J. Y. W. Seto**, "Electrical properties of polycrystalline silicon films", *J. App. Phys.*, vol.48, p.5247, 1975.
- [18] **G. Baccarani, B, Ricco, G. Spadini**, "transport properties of polycrystalline silicon films", *J. Appl. Phys.*, vol.49, p.5565, 1978.
- [19] **J. Martinez, J. Piqueras**, "on the mobility of polycrystalline semiconductors" *Solid-State Electronics.*, vol.23.p.197, 1980.
- [20] **S. Khelifi**, "Etude 2D de la tension de claquage d'une diode PN polycrystalline par le phénomène du courant d'ionisation par impact", Thèse de Magister de l'Université de Sidi Bel Abbès, 2009.
- [21] **M. M. Mandurah, K. C. Saraswat, C. R. Helms, T. I. Kamins**, "dopant segregation in polycrystalline silicon", *J.appl . phys.*, vol.51, p.5755, 1980.
- [22] **A. Richardt, A.M. Durand**, "Le vide : les couches minces, les couches dures", Editions In Fine, Paris, 1994.
- [23] **F. Goesmann, H. Roscher, R. Labush**, "Preparation of heavily doped polycrystalline and amorphous silicon films by evaporation". *Phil. Mag.*, vol.63, p.811, 1991.
- [24] **N. Beldi**, " Dépôt du silicium amorphe hydrogéné par pulvérisation réactive assistée d'un magnétron", Thèse de l'USTHB, Alger, 1991.
- [25] **H. F. Sterling, R.C.G-Swann**, "Chemical vapor deposition promoted by RF(radio-frequency) discharge", *Solid-State Electronics.*, vol.8, p.653, 1965.
- [26] Site Web : WWW.dowcorning.com
- [27] **S. Bourdais**, "Etude du dépôt et des propriétés physiques du silicium polycristallin obtenu par le procédé RTCVD sur substrat de mullite. Application aux cellules photovoltaïques en couches minces", Thèse de l'université Louis Pasteur de Strasbourg, 2000.
- [28] **L. Haji, P. Joubert, J. Stoemenos, N.A. Economou**, "Mode of growth and microstructure of polycrystalline silicon obtained by solid phase crystallization of an amorphous silicon film", *J. Appl. Phys.*, vol.75, p.3944, 1994.

- [29] **J. Stoemenos, N. A. Economou, L. Haji, M. Bonnel, N. Duhamel, B. LOISEL,** "Microstructure of poly-Si obtained by rapid thermal annealing of amorphous silicon films ".Solid State Phenomena., vol.37, p. 287, 1994.
- [30] **N. Sridhar, D.D.L. chung, W.A. Anderson,** "Polysilicon films of high photoresponse obtained by vacuum annealing of aluminium capped hydrogenated amorphous silicon", J. Appl. Phys., vol.78, p.7304, 1995.
- [31] **O. Nast, S. Brehme, D.H. Neuhaus, S.R. Wenham,** " Polycrystalline silicon thin films on glass by aluminum induced crystallization", IEEE Trans. Elec. Devices., vol. 46,p.2062. 1999.
- [32] **Z. Jin, G.A. Bhat, M. yeung, H.S. Kwok, M. Wong,** "Nickel induced crystallization of amorphous silicon thin films", J. Appl. Phys., vol 84. P.194,1998.
- [33] **L. K. Lam, S.K. Chen, D.G. Ast,** " Kinetics of nikel-induced lateral crystallization of amorphous silicon thin-film transistors by rapid thermal and furnace anneals", Appl. Phys. Lett., vol.74,p. 1866. 1999.
- [34] **S. H. Park, S.I. Jun, K.S. Song, C.K. Kim, D.K. Choi,** "Field aided lateral crystallization of amorphous silicon thin film", Jpn. J. Appl. Phys., vol. 38. p. 108, 1999.
- [35] **R. Z. Bachrach , J.B. Boyce, S.E. Ready, G.B. Anderson,** " Laser crystallization of amorphous silicon on insulating substrates" polycrystalline Semiconductors II, Verlag. 1991.
- [36] **T. Sameshima, S. Usui,** "Pulsed laser-induced amorphization of silicon films", J. appl. Phys., vol. 70. p. 1281, 1991.
- [37] **F. V. Farmakis, J. Brini, G. Kamarinos, C. T. Angelis, C. A. Dimitiriadis, M. Miyasaka,** "On – current modelling of large-grain polycrystalline silicon thin film transistors ". IEEE Trans. Electron Devices., vol. 48, p.701, 2001.
- [38] **X. Z. Bo, N. Yao, S. R. Shieh, T. S. Duffy, J. C. Sturm,** "Large grain polycrystalline silicon films with low intragranular defect density by low temperature solid phase crystallization without underlying oxide".J. Appl. Phys., vol. 91, p.2910, 2002.
- [39] **M. K. Ryu, J. Y. Kwon, K. B. Kim,** "Solid phase crystallization (SPC) behavior of amorphous Si bilayer films with different concentration of oxygen". Appl. Phys. Lett., vol. 71, p.3063, 1997.

- [40] **M. K. Hatalis, D. W. Greve**, "Large grain polycrystalline silicon by low temperature annealing of low pressure chemical vapor deposition amorphous silicon films". *J. Appl. Phys.*, vol.63, p.2260, 1991.
- [41] **A. T. Voutsas, M. K. Hatalis**, "Deposition and Crystallization of a-Si Low-Pressure Chemically Vapor Deposited Films Obtained by Low-Temperature Pyrolysis of Disilane", *J. Electrochem.*, vol. 140, p.871, 1993.
- [42] **K. Nakazawa**, "Recrystallization of amorphous silicon films deposited by low pressure chemical vapour deposition from Si₂H₆gas", *J. Appl. Phys.*, vol.69, p.1703, 1991.
- [43] **C.A. Dimitriadis, P. A. Coxon, L. Dozsa, L. Padmitriou, N.Economou** "Performance of thin film transistors on polysilicon films grown by low pressure chemical vapor deposition at various pressures", *IEEE Trans. Electron Devices.*, vol. 39, p.598, 1992.
- [44] **F. Emoto, K. Senda, A. Nakamura, A. Yamamoto, Y. Uemoto, G. Kano**, "Solid Phase Growth Technique for High Cut-Off Frequency Polysilicon TFT Integrated Circuits on a Quartz Substrate", *IEEE Transactions on Electron Devices.*, vol. 37, p1462, 1990.
- [45] **B. E. Deal**, "Standardized terminology for oxide charge associated with thermally oxidized silicon", *IEEE Transaction on Electron Devices*, Vol. 27, p. 606-608, 1980.
- [46] **C. Marion**, "Fiabilité des transistors MOS des technologies à mémoires non volatiles embarquées, " thèse de doctorat d'état de l'Université d'Aix-Marseille, 2015.
- [47] **F. Farmakis, J. Broussard, H.T. Quoc, M. Elyaakoubi, T. Oitome, T. Strutz, A. Buechel, A. De Luca, M. Beguet, D. Pribat and N. Szydlo**, "Improvement of SiO_x Deposited by PECVD Using O₂", *Plasma Treatment AM-LCD'02*, p.123-127, Tokyo, 2002.
- [48] **S. Higashi, D. Abe, Y. Hiroshima, K. Miyashita, T. Kawamura, S. Inoue and T. Shimoda**, "High-Quality SiO₂/Si Interface Formation and Its Application to Fabrication of Low- Temperature-Processed Polycrystalline Si Thin-Film Transistor", *Jpn. J. Appl. Phys.*, vol. 41, p3646-3650, 2002.
- [49] **S. Lucas**, "Etude de faisabilité de micro-interrupteurs en silicium polycristallin à commande électrique dédiés à des dispositifs micro-ondes planaires", Thèse Université Rennes 1, 1998.
- [50] **J. Brochet**, "Etude de transistors en couches minces à base de silicium polymorphe pour leur application aux écrans plats à matrice active LCD et OLED", thèse pour obtenir le grade de docteur de l'université de Grenoble, 2007.
- [51] **F. Templier, B. Aventurier**, "LTFS process on Metal Foil for flexible Active Matrix

- OLED Displays", Eurodisplay, Edinburgh, Scotland, 2005.
- [52] **T. J. King**, "Poly-Si TFTs for plastic substrates", Information Display, p24, 2001.
- [53] **N. Toudjén**, "Modélisation du transistor à Effet de champ (TEC) en couches Minces à base de silicium polycristallin Si-LPCVD", thèse de doctorat de l'Université de Constantine, 2010.
- [54] **C. Talangrand**, " Transistor en couche minces avec canal en oxyde d'indium de Gallium et de ZINC : matériaux, Procédés dispositifs", thèse de doctorat de l'école National supérieur des mines de saint-Etienne, 2015.
- [55] **Van-Diep. Bui**, "Conception et modélisation de transistors TFTs Silicium microcristallin pour des écrans AMOLED", Thèse de doctorat de L'Ecole Polytechnique, 2006.
- [56] **K. Kandoussi**, "Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ ", Thèse de doctorat de l'Université de Rennes 1, 2007.
- [57] **B. J. M. Shannon**, " Hole transport via dangling-bond states in amorphous hydrogenated Silicon nitride", J. App. Phys, vol. 86, p. 1548-1551, 1999.
- [58] **Y. Uchida, M. Matsumara**, " A novel amorphous-silicon field-effect transistor with good off-characteristics", Jpn. J. App. Phys., vol. 27, p. 2379-2381, 1988.
- [59] **P. Servati, al**, "Modeling of the reverse characteristics of a-si:H TFTs", IEEE Trans. Electron Devices, vol. 49, p. 813-819, 2002.
- [60] **Y. Kuyo, al**, "Thin Film Transistors Materials and Processes", Kluwer Academic Publishers, 2004.
- [61] **A. Rolland, al**, "Electrical properties of amorphous silicon transistors and MIS devices: comparative study of top nitride and bottom nitride configurations", J. Electrochem., vol.140, p. 3679-83, 1993.
- [62] **S. C. Deane, M. J. Powell**, "Field-effect conductance in amorphous silicon thin film transistors with a defect pool density of states", J. Appl. Phys., vol.74, p. 6655-66, 1993.
- [63] **K. F. Brennan, A. S. Brown**, " Theory of modern electronic semiconductor devices", Wiley-Interscience Publication, p.289. 2002.
- [64] **Y. H. Byun, M. Shur, M. Hack, K. Lee** "New analytical polycrystalline silicon Thin film transistor model for Computer Aided Design and parameter extraction". Solid-State Electronics., vol. 35, p.655, 1992.
- [65] **P. K. Weimer**, "The TFT A New Thin-Film Transistor", Proceedings of the IRE, p.

- 1462-1469, 1962.
- [66] **T. P. Brody**, "A 6 × 6 inch 20 lines-per-inch liquid-crystal display panel", IEEE Trans. on Electron Devices., vol. 20, p. 995, 1973.
- [67] **P. G. Le. Comber**, " Amorphous-silicon field-effect device and possible application", IEEE Electronics Letters, vol.15, p. 179, 1979.
- [68] **F. Farmakis**, " Etude de la qualité et de la fiabilité des transistors en couches minces (TFT) sur silicium polycristallin. Influence de la technologie", Thèse de doctorat INPG Grenoble, 2000.
- [69] **F. Petinot**, " Contribution à l'étude de transistors en couches minces en silicium polycristallin : hydrogène et stabilité, " Thèse de doctorat de l'Université de Paris XI Orsay, 1998.
- [70] **S. D. Brotherton**, " Polycrystalline silicon thin film transistors", Semicond. Sci.Technol., vol.10, p. 721-738, 1995.
- [71] **Z. Meng, M. Wong**, " Active Matrix Organic Light Emitting Diode Displays Realized Using Metal-Induced Unilaterally Crystallized Polycrystalline Silicon Thin Film Transistors. IEEE Transactions on Electron Devices., vol. 49, p. 991-996, 2002.
- [72] **M. Stewart, R.S. Howel, L.Pires, M.K.Hatalis**, " Polysilicon TFT Technology for active Matrix OLED Displays", IEEE transactions on electron devices., vol. 48, p. 845,2001.
- [73] **H. Sirringhaus, N. Tessler, R.H. Friend**, " Integrated Optoelectronic Devices Based on Conjugated Polymers", Science., vol. 28, p. 1741-1743, 1998.
- [74] **M. Schad , W. Helfrich**, "Voltage-Dependent Poptical Activity of a Twisted Nematic Liquid Crystal", Appl. Phys. Lett., vol. 18, p. 127, 1971.
- [75] **K. M. Lim, H.C.Kang, M.Y. Sung**, "A study on the poly-Si TFT and novel pixel structure for low flicker", Microelectronics Journal, vol.31, p. 641-646, 2000.
- [76] **G. Turban**, "Dissociation et transport dans un plasma de silane durant la croissance de couches minces de silicium amorphe hydrogéné", Thèse de doctorat d'état, Nantes, janvier, 1981.
- [77] **S. Higashi, D. Abe, S. Inoue, T. Shimoda**, " Proceeding AMLCD", vol. 41, P.255, 2001.
- [78] **He. Hongyu**, " Analytical Model of Undoped Polycrystalline Silicon Thin-Film Transistors Consistent With Pao-Sah Model", IEEE T. Electron Dev, May 2011.
- [79] **S. Jit, B.B. Pal**, "A new optoelectronic integrated device for light-amplifying optical

- switch (LAOS)", IEEE T. Electron., vol. 48,p. 2732-2739, 2001.
- [80] **W. Shockley, W. T. Read Jr**, "Statistics of the holes and electrons", Physics. Rev., vol. 87, p. 835-842, 1952.
- [81] **Y. Yelon, B. Movaghar**", Microscopic explanation of the compensation (Meyer-Neldel rule), " Physical Review Letters., vol. 65, p.618, 1990.
- [82] **W. C. Germs, W.H. Adriaans, A.K. Tripathi, W.S.C. Roelofs, B. Cobb, R.A.J. Janssen, G.H. Gelinck, M. Kemerink**, "Charge Transport in Amorphous InGaZnO Thin-Film Transistors", Physical Review B., vol. 86, p. 155319, 2012.
- [83] **N. Lu, L. Li, P. Sun, W. Banerjee, M. Liu**,"A Unified Physical Model of Seebeck Coefficient in Amorphous Oxide Semiconductor Thin-Film Transistors", Journal of Applied Physics., vol. 116,p. 104502, 2014.
- [84] **S. Toumi**, "Etudes des composants électroniques (cellules solaires, diodes Schottky) en utilisant les algorithmes génétiques et le langage VHDL AMS", Thèse de doctorat Université Ferhat Abbas-setif, 2012.
- [85] **F. J. Garcíasánchez, C.Adelmoortiz**, "Applications of Lambert's W function to electron device modeling Applications", IEEE-EDS Orlando Chapter Colloquium, 2006.
- [86] **R. S. R. Valluri, D. J. Jeffrey, R. M. Corless**, "Some applications of Lambert W function to physics", Can.J.Phys., vol., p. 1-8, 1998.
- [87] **S .Seán**, "A new elementary function for our curricula", Australian Senior Mathematics Journal., vol. 19 (2),p. 8-26, 2008.
- [88] **H .Brian**,"Why W ?", American Scientist., vol. 93,p. 104-109, 2005.
- [89] **F. Torricelli, M. Ghittorelli, M. Rapisarday, L. Mariucciy, S. Jacob, R. Coppardz, E. Cantatore, Z. Miklos K. Vajna_, and L. Colalongo**," Analytical drain current model of both p- and n- channel OTFTs for circuit simulation", Proc. of International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Yokohama-Japan, 2014.
- [90] **C. A. Dimitriadis**," Influence of grain boundary recombination velocity and grain size on the minority carrier lifetime in polycrystalline semiconductors", Solid State Commun., vol.56, p. 925-927, 1985.
- [91] **P. K .Singh, S.N .Singh, R. Kishore** ,"Modeling and observation of photoconductivity In polycrystalline silicon", Appl Phys Lett., vol. 48, p. 127, 1986.
- [92] **C. A .Dimitriadis, A. Alexandrou, N.A. Economou**," Electrical properties of Poly-

- crystalline Silicon layers under solar illumination", *J Appl Phys.*, vol. 60, p. 3651, 1986.
- [93] **L. Xifeng, Z .Leyong, G .Yana, Z .Jianhua,** " Comparison of Illumination Effect on Amorphous Indium Gallium Zinc Oxide and a-Si Thin Film Transistors", *ECS Journal of Solid State Science and Technology*, vol. 3, p. 200-202, 2014.
- [94] **L. F. Tang, YuGuang, H .Lu, Ch.F .Wu, H.M.Qian, D .Zhou, R. Zhang , Y.D. Zheng, X.M. Huang,** "Influence of white light illumination on the performance of a- IGZO thin film transistor under positive gate- bias stress", *Chin. Phys. B.*,vol. 24, p. 088504-088509, 2015.
- [95] **F. Yakuphanoglu, W.A Farooq,** "Flexible pentacene organic field-effect Photo-transistor", *Synthetic Metals.*, vol. 161 , p. 379-383, 2011.
- [96] **H. Ohshima, S. Morozumi,** " High performance poly-Si TFT for LCDs", *Proc. ISSDM, Yokohama*, p. 577-579, 1991.
- [97] **K. Masumo, M. Kunigita, S. Takafuji, M. Yuki,** "Low temperature fabrication of poly-Si TFT by laser induced crystallization of a-Si", *J . Non-Cryst. Solids*, vol. 115, p. 147-149, 1989.
- [98] **S. D. Brotherton, J.R. Ayres, N.D. Young,** "Characterisation of low temperature poly-Si thin film transistors", *Solid- State Electron.*, vol.34, p. 671, 1991.
- [99] **J. R. Ayres, S.D. Brotherton, N.D. Youn,** "Low temperature poly-Si for LCD addressing", *Optoelectron. Devices Techno*, vol.7, p.301, 1992.
- [100] **F. Y. Ching, S.L. Shyue, Z. Y. Tzung, L.Ch.Chun, Y .Yu-Chi,** " Performance and Off-State Current Mechanisms of Low-Temperature Processed Poly silicon Thin-Film Transistors with Liquid Phase Deposited SiO₂ Gate Insulator", *IEEE On Electron Devices*,vol. 41, p. 173-179, 1994.
- [101] **C.T. Angelis, C.A. Dimitrias, I .Samarras, J. Brini, G. Kamarinos, V.K. Gueorguiev,Tz. E. Ivanov,** "Study of leakage current in n-channel and p- channel polycrystalline silicon thin-film transistors by conduction and low frequency noise measurements", *J Appl Phys.*, vol. 82, p. 4095, 1997.
- [102] **Z .Xiaoliang, W. Mingxiang,** " Meyer–Neldel Rule for Effective Channel Mobility in the Subthreshold Region of Poly-Si Thin-Film Transistors", *IEEE Electron. Dev. Lett.*, vol. 34, p. 644-646, 2013.
- [103] **L. Michalas, A.Syntychaki, M.Koutsourelis, G.J. Papaioannou, A.T. Voutsas,** "A Temperature study of photosensitivity in SLS polycrystalline silicon TFTs", *Micro-*

- electronics Reliability, vol. 52, p. 2508-2511, 2012.
- [104] **A. Y. A. A. Jaber**, "A Comparative Study of Properties of CdS Thin Films Deposited by Thermal Evaporation and Chemical Bath Techniques", Mémoire de Magister, Université de Taibah, Arabie Saoudite 2011.
- [105] **L. Wenyi, C. Xun, C. Qiulong, Z. Zhibin**, "Influence of growth process on the structural, optical and electrical properties of CBD-Cds films", Materials Letters., vol. 59, p. 1-5, 2005.
- [106] **N. Lifshitz, S. Luryi**, "Enhanced channel mobility in polysilicon thin film transistors", IEEE. Dev. Lett., vol 15, p. 8, 1994.
- [107] **G. S. Oehrlein, R. M. Tromp, J. C. Tsang, Y. H. Lee, and E. J. Petrillo**, "Near surface damage and contamination after CF₄/H₂ RIE of silicon", J. Electrochem., vol. 132, p. 1441, 1985.
- [108] **L. Michales, A. Syntychaki, M. Koutsourelis, G.j. Papaioannou, AT, Voutsas**, "A temperature study of photosensitivity in SLS Polycrystalline silicon TFTs", Journal Microelectronics reliability., vol. 52, 2012.
- [109] **S. Martinuzzi**, "Influence and passivation of extended crystallographic defects in Polycrystalline silicon", Revue de Physique Appliquée., vol. 22 (7), p.637-643, 1987.
- [110] **W. Meyer, H. Neldel** , "No Title, " Zeitschriftfür Technische Physik (Leipzig)., vol. 12, p. 588, 1937.
- [111] **P. Sagar, M. Kumar, R.M. Mehra**, " The Meyer–Neldel rule in sol–gel derived polycrystalline ZnO: Al thin films", Solid State Communications., vol. 147, p. 465, 2008.
- [112] **N. Mehta, A. Kumar**, "Further Meyer–Neldel rule in thermally activated crystallization of chalcogenide glasses ", Journal of Non Crystalline Solids., vol. 354, p. 5347, 2008.
- [113] **W. B. Jackson**, "Connection between the Meyer-Neldel relation and multiple-trapping transport", Phys. Rev. B., vol. 38, p. 3595, 1998.
- [114] **Y. F. Chen, S.F. Huang**, "Connection between the Meyer-Neldel rule and stretched-exponential relaxation", Physical Review B., vol. 44, p. 13775, 1991.

- [115] **J. Fortner, V.G. Karpov, M.L. Suboungi**, " Meyer-Neldel rule for liquid Semi-conductors ", Applied Physics Letters., vol. 66, p. 997, 1995.
- [116] **K. Shimakawa, F. Abdelwahab**, " The Meyer-Neldel rule in chalcogenide glasses", Applied Physics Letters., vol. 70 , p. 652, 1997.
- [117] **T. Drusedau, R. Bindemann**, " The Meyer–Neldel Rule and the fundamental pre-exponential factor in the conductivity of a-Si" , Physica Status Solidi B., vol. 136, p. 61, 1986.
- [118] **T. Abtew, M.L. Zhang, D. Dralob**, " Ab initio estimate of temperature dependence of electrical conductivity in model amorphous material Hydrogenated amorphous silicon", Physical Review B., vol. 76, p. 045212, 2007.
- [119] **T. Abtew, M. Zhang, Y. Pan, D.A. Drabold**, "Electrical conductivity and Meyer-Neldel rule: The role of localized states in hydrogenated amorphous silicon", Journal of Non Crystalline Solids., vol. 354, p. 2909, 2008.
- [120] **E.A. Davis, N.F. Mott**, "Conduction in non-crystalline systems V. Conductivity, optical absorption and photoconductivity in amorphous semiconductors", Philosophical Magazine., vol. 22, p. 903, 1970.
- [121] **R. Widenhorn, L. Mundermann, A. Rest, E. Bodegom**, " Meyer-Neldel rule for dark current in charge-coupled devices", Journal of Applied Physics., vol. 89 , p. 8179, 2001.

Abstract

Polycrystalline silicon thin-film transistors (poly-Si TFT) have been widely studied for their potential use in flat panel active matrix liquid crystal display applications (AMLCDS), due to the opportunity afforded by the high mobility of these devices, compared with a-Si: H TFTs. Therefore, they constitute the basic element of a specific part of electronics that is called Large Surface Electronics and will normally be operating in a high illumination environment. Also, although poly-Si is generally recognized as being less photosensitive than hydrogenated amorphous silicon, there does not seem to be a consensus on the photosensitivity of TFTs.

In this context, and in order to study the photosensitivity of polysilicon TFTs, an electrical characterization of these devices is firstly carried out in dark and under illumination conditions. Based on the obtained results, an accurate model for field effect mobility in the subthreshold region is proposed, taking into account, the incident photon flux, the density and the characteristic energy of the band tails, and the gate and drain voltages.

Finally, the model implemented is validated by comparing the computed values of the field effect mobility with those obtained experimentally.

Keywords: TFT - polycrystalline silicon- field effect mobility- modeling

Résumé

Les transistors en couches minces (TCM) au silicium polycristallin ont été largement étudiés pour leur utilisation potentielle dans les matrices actives des écrans plats à cristaux liquides (AMLCDS), en raison de l'opportunité offerte par la grande mobilité de ces dispositifs, par rapport aux transistors à base de silicium amorphe hydrogéné (a-Si: H TFT).

Ils constituent de ce fait, l'élément de base d'une partie spécifique de l'électronique que l'on appelle Electronique Grande Surface et devraient donc fonctionner normalement sous illumination élevée. Aussi, et bien que le poly-Si soit généralement reconnu comme étant moins photosensible que le silicium amorphe hydrogéné, il ne semble pas y avoir de consensus sur la photosensibilité des TCM au poly-Si.

Dans ce contexte, et dans le but d'étudier leur photosensibilité, il est question de procéder d'abord à une caractérisation électrique de ces dispositifs, à l'obscurité et sous illumination. Sur la base des résultats obtenus, un modèle adéquat pour la mobilité d'effet de champ dans la région sous le seuil est proposé, prenant en compte le flux d'éclairage, la densité et l'énergie caractéristique des queues de bandes, et la polarisation de la grille et du drain.

Une validation du modèle mis en place est effectuée en comparant les valeurs calculées avec celles obtenues expérimentalement.

Mots clés : TCM – silicium polycristallin- mobilité d'effet de champ- modélisation

ملخص

تمت دراسة ترانزستورات الأغشية الرقيقة المصنوعة من السيليكون متعدد الكريستالات (TCM) على نطاق واسع لاستخدامها المحتمل في المصفوفات النشطة للشاشات المسطحة الكريستالية السائلة (AMLCDS)، وذلك بسبب الفرصة التي تتيحها قابلية التنقل العالية لهذه الأجهزة، مقارنة مع الترانزستورات على أساس السيليكون غير المتبلور المهدرج وبالتالي، فهي تشكل العنصر الأساسي لجزء محدد من الإلكترونيات يطلق عليه Large Area Electronics وعليه يجب أن تعمل بشكل طبيعي تحت إضاءة عالية. أيضًا، وعلى الرغم من أن السيليكون متعدد الكريستالات يعرف عمومًا على أنه أقل حساسية من السيليكون غير المتبلور المهدرج، إلا أنه لا يبدو أن هناك إجماع على الحساسية للضوء للترانزستورات المصنوعة من السيليكون متعدد الكريستالات. في هذا السياق، ومن أجل دراسة حساسيتها الضوئية، يتعلق الأمر أولاً بإجراء وصف كهربائي لهذه الأجهزة، في الظلام وتحت الإضاءة. وعلى أساس النتائج التي تم الحصول عليها، يتم اقتراح نموذج مناسب لتأثير حقل التنقل في المنطقة الواقعة أسفل العتبة، مع الأخذ في الاعتبار تدفق الإضاءة، كثافة ذبول النطاقات والطاقة المميزة لها وجهد البوابة والمصب. يتم التحقق من صحة النموذج الذي تم تنفيذه من خلال مقارنة القيم المحسوبة مع القيم التي تم الحصول عليها تجريبياً. الكلمات المفتاحية: ترانزستورات الأغشية الرقيقة- السيليكون متعدد الكريستالات- تأثير حقل التنقل – نمذجة

Articles Publiés